

# MEMORY INTEGRATED DISPLAY SUBSTRATE AND DISPLAY DEVICE AND MEMORY CELL ARRAY

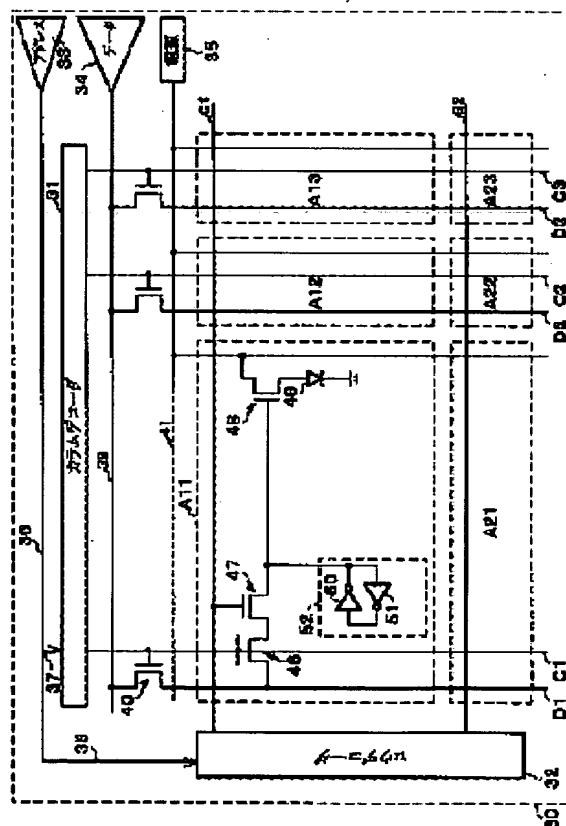
**Patent number:** JP2002287665  
**Publication date:** 2002-10-04  
**Inventor:** NUMAO KOJI  
**Applicant:** SHARP CORP  
**Classification:**  
- international: G09F9/30; G09G3/20; G09G3/36  
- european:  
**Application number:** JP20010088607 20010326  
**Priority number(s):**

Report a data error here

## Abstract of JP2002287665

**PROBLEM TO BE SOLVED:** To provide a memory integrated type display substrate capable of reducing power consumption.

**SOLUTION:** An organic EL (electroluminescent) element 49, a memory element 52, TFTs (thin film transistors) 46, 47 whose conduction/non-conduction are controlled by selection/non-selection of a column-side wiring C1 and a row-side wiring G1 are provided at every intersection position of column-side wirings C1, C2... and row-side wirings G1, G2... and a data wiring D1, the TFTs 46, 47 and the memory element 52 are connected in series at the intersection position of the column-side wiring C1 and the row-side wiring G1.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-287665

(P2002-287665A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 9 F 9/30	3 3 8	C 0 9 F 9/30	3 3 8 5 C 0 0 6
G 0 9 G 3/20	6 1 1	C 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 4		6 2 4 B 5 C 0 9 4
	6 3 1		6 3 1 K
3/36		3/36	
審査請求 未請求 請求項の数 8 O L (全 32 頁)			

(21) 出願番号 特願2001-88607 (P2001-88607)

(22) 出願日 平成13年3月26日 (2001. 3. 26)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 沼尾 孝次

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

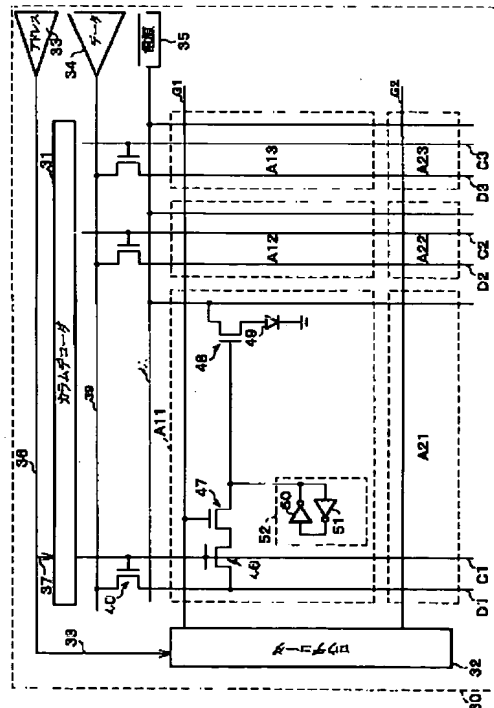
最終頁に続く

(54) 【発明の名称】 メモリー一体型表示基板および表示装置並びにメモリセルアレイ

(57) 【要約】

【課題】 消費電力を低減することができるメモリー一体型表示基板を提供する。

【解決手段】 カラム側配線 C 1, C 2... と、ロウ側配線 G 1, G 2... との交差位置毎に、有機 E L 素子 4 9 と、メモリ素子 5 2 と、上記カラム側配線 C 1、ロウ側配線 G 1 の選択／非選択によって導通／非導通が制御される T F T 4 6, 4 7 とが設けられ、カラム側配線 C 1 とロウ側配線 G 1 との交差位置において、データ配線 D 1 と T F T 4 6, 4 7 とメモリ素子 5 2 とが直列に接続されている。



## 【特許請求の範囲】

【請求項1】1方向に配列された複数の第1の配線と、上記第1の配線のそれぞれと交差する複数の第2の配線と、  
 上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられた、電気光学素子および第1のメモリ素子、またはメモリ性を有する電気光学素子と、  
 上記各第1のメモリ素子またはメモリ性を有する電気光学素子を制御するためのデータ信号が入力される複数の第3の配線と、  
 上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第1の配線の選択／非選択によって導通／非導通が制御される第1のスイッチ素子と、  
 上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第2のスイッチ素子とを備え、  
 上記第1の配線と第2の配線との交差位置毎に、上記第3の配線と、第1および第2のスイッチ素子と、第1のメモリ素子またはメモリ性を有する電気光学素子とが、直列に接続されていることを特徴とするメモリー一体型表示基板。

【請求項2】上記電気光学素子1つに対し、上記第1のメモリ素子が複数設けられ、  
 上記第1のメモリ素子はそれぞれ、導通／非導通の切り替えが可能な第3のスイッチ素子を介して上記第1および第2のスイッチ素子と接続されていることを特徴とする請求項1記載のメモリー一体型表示基板。

【請求項3】1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、

上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、

上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有するメモリセルアレイが、

上記第1の配線と接続されていることを特徴とする請求項1または2記載のメモリー一体型表示基板。

【請求項4】第1の方向に配列された複数の第1の配線または第2の配線と、

上記第1の配線または第2の配線のそれぞれと交差する複数の第3の配線と、

上記第1の配線または第2の配線と、第3の配線との交差位置毎に少なくとも1つずつ設けられた電気光学素子および第1のメモリ素子、またはメモリ性を有する電気光学素子と、

上記第1または第2の配線と接続されたメモリセルアレイ

とを有し、

上記メモリセルアレイは、

第1の方向に配列された複数の第4の配線と、

上記第4の配線のそれぞれと交差する複数の第5の配線と、

上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、

上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有し、

上記第3のメモリ素子は、上記第2のメモリ素子に外部からデータ信号が入力されると、上記第2のメモリ素子に外部からデータ信号が入力されたことを示すデータを記録し、

上記第2のメモリ素子は、該第2のメモリ素子に外部からデータ信号が入力されたことを示すデータが上記第3のメモリ素子に記録されているときにのみ、該第2のメモリ素子に入力されたデータ信号を上記第3の配線に転送することを特徴とするメモリー一体型表示基板。

【請求項5】上記第1のメモリ素子が不揮発性メモリであり、上記第2および第3のメモリ素子が揮発性メモリであることを特徴とする請求項3または4記載のメモリー一体型表示基板。

【請求項6】請求項1～5の何れか1項に記載のメモリー一体型表示基板を備えていることを特徴とする表示装置。

【請求項7】1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、

上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、

上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有することを特徴とするメモリセルアレイ。

【請求項8】1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、

上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられた第2のメモリ素子と、

上記各第2のメモリ素子を制御するためのデータ信号が入力される複数の第6の配線と、

上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、上記第4の配線の選択／非選択によって導通／非導通が制御される第4のスイッチ素子と、

上記第4の配線と第5の配線との交差位置毎に少なくと

も1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第5のスイッチ素子とを備え、

上記第4の配線と第5の配線との交差位置毎に、上記第6の配線と、第4および第5のスイッチ素子と、第2のメモリ素子とが、直列に接続されていることを特徴とするメモリセルアレイ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、画素にメモリ機能を持たせたメモリ一体型表示基板および該メモリ一体型表示基板を備える表示装置、並びに、そのような基板および表示装置に適したメモリ構成を有する、ドライバ回路にメモリ機能を持たせたメモリセルアレイに関するものである。

##### 【0002】

【従来の技術】近年、液晶ディスプレイや有機ELディスプレイ等のFPD（フラットパネルディスプレイ）を低消費電力化する取り組みとして、ドライバ回路にメモリ機能を持たせた表示装置や、画素にメモリ機能を持たせた表示装置の開発が盛んに行われている。

【0003】図13は、画素にメモリ機能を持たせた表示装置の例として、特開平8-286170号公報で示された液晶ディスプレイの回路構成を示す回路構成図（システム構成図）である。

【0004】図13に示すように、特開平8-286170号公報に記載の表示装置は、画面表示領域の周辺部分に、アドレスデコーダ204…とスイッチ203…とからなるデータ線ドライバ201と、アドレスデコーダ205…とからなる走査線ドライバ202とが配された構成を有している。

【0005】上記データ線ドライバ201から出力されるデータ信号はデータ線Rp（p=1, 2, …）に供給され、走査線ドライバ202から出力される選択信号は走査線Sq（q=1, 2, …）に供給されている。

【0006】このデータ線Rpと走査線Sqとが交差する位置には画素が配置されており、この画素はスタティックメモリ209と、TFT206～208と、液晶セル210とから構成されている。

【0007】この画素回路において、TFT206に供給される走査線Sqの選択信号が選択状態にあり、かつデータ線Rpにデータ信号が供給されていれば、画素のスタティックメモリ209の状態はデータ線Rpから供給されるデータに書き換えられる。

【0008】また、この画素回路において、TFT206に供給される走査線Sqの選択信号が非選択状態であるか、データ線ドライバ201のスイッチ203が非導通状態でありデータ線Rpにデータ信号が供給されていなければ、画素のスタティックメモリ209の状態は書き換えられない。

【0009】図14は同様に、画素にメモリ機能を持たせた表示装置の例として、特開平11-119698号公報で示されたLED（light emitting diode）ディスプレイの回路構成を示すブロック図（回路ブロック図）である。

【0010】図14に示すように、特開平11-119698号公報に記載の表示装置は、画面表示領域の周辺部分に、カラムアドレスデコーダ303と、ロウアドレスデコーダ302と、カラム側、ロウ側双方のデコーダ線の交点に配されたLEDメモリアレイ304と、書き込み／読み込み制御信号によりバッファ方向制御される入出力バッファ305が配置された構成を有している。

【0011】この表示装置では、アドレス入力ポート301から入力されたアドレス／アドレス制御信号により、上記カラムアドレスデコーダ303およびロウアドレスデコーダ302から、図15に示すビット線311およびワード線312に信号が供給され、これら信号により、指定されたLED記憶素子316の記憶素子313が制御され、その記憶状態によりトランジスタ314の導通状態が制御され、LED315のON/OFF状態が制御されている。

【0012】また、画素にメモリ機能を持たせるだけでなく、表示部の外にメモリ機能を持たせた液晶表示装置が、特開2000-227608号公報に開示されている。図16は、上記特開2000-227608号公報に記載の液晶表示装置における表示基板の構成を示すブロック図（システム構成図）である。

【0013】図16に示すように、上記特開2000-227608号公報に記載の表示基板は、表示部408が、ラインバッファ407を介して画像メモリ406に接続された構成を有している。この画像メモリ406は、メモリセルがマトリクス状に配列された構成を有し、表示部408の画素と同一のアドレス空間を有するビットマップ構成を有している。

【0014】アドレス信号401は、メモリ制御回路404を通して、メモリライン選択回路409、コラム選択回路405へ入力される。このアドレス信号401により指定されたメモリセルが、図示しないコラム線、およびライン線により選択され、そのメモリセルに表示データ402が書き込まれる。

【0015】このようにして表示データ402が画像メモリ406におけるメモリセルに書き込まれた後、メモリライン選択回路409に入力されたアドレス信号401により、選択画素を含む1ライン分のデータがラインバッファ407に出力される。ラインバッファ407は表示部の信号配線に接続されているので、この読み出されたデータは図示しない信号配線へ出力される。

【0016】また、アドレス信号はアドレスライン変換回路403にも入力されており、表示ライン選択回路410により、図示しないライン選択配線に選択電圧を印

加する。この動作により、画像メモリ406のデータが表示部408に書込まれる。

【0017】図17は、この表示部408における画素の回路構成図であり、この画素回路では、ライン選択配線411により制御TFT415を制御し、信号配線412により与えられたデータを、共通配線414と制御TFT415との間にあるコンデンサ416に保持し、このコンデンサ416の電圧により駆動TFT417の導通／非導通を制御することで、表示電極418に、液晶基準配線413により与えられた電圧を印加するか否かが決定される。なお、ソースドレイン端子間には、補償コンデンサ419が接続されている。

【0018】

【発明が解決しようとする課題】ここで、上記特開平8-286170号公報に記載の画素回路（図13参照）において、TFT206に供給される走査線S1の選択信号が選択状態であり、かつ、データ線ドライバ201のスイッチ203が非導通状態であり、データ線Rpにデータ信号が供給されていない状態を考えてみる。

【0019】この状態において、このTFT206は導通状態となるので、データ線Rpの電位は、この導通状態となったTFT206と接続された第1のスタティックメモリ209の出力電位と同電位となる。

【0020】次に、先の走査線S1が非選択状態となり、別の走査線S2が選択状態となり、かつ、データ線Rpにデータ信号が供給されていない状態を考えてみる。

【0021】このとき、データ線Rpの電位は、この導通状態となったTFT206と接続された第2のスタティックメモリ209の出力電位と同電位となる。

【0022】したがって、先の第1のスタティックメモリ209の出力電圧と、その後の第2のスタティックメモリ209の出力電圧とが異なる場合、データ線Rpの電位は、データ「1」に対応する電位とデータ「0」に対応する電位との間で変動することになる。

【0023】通常、液晶表示装置やTFT基板を用いた表示装置においては、データ線と走査線との間や、データ線とTFT素子との間に浮遊容量が存在する。

【0024】したがって、上記したように先のデータ線Rpの電位がデータ「1」に対応する電位とデータ「0」に対応する電位との間で変動する場合、画素にあるメモリを書き換ええない時でも、（その変動電位）×（データ線Rpの浮遊容量）分の電荷が消費されることになる。

【0025】また、特開平11-119698号公報に記載の表示装置では、記憶素子313（図15参照）の構成が明記されていないが、通常のICメモリ等のメモリ素子を使うことを示唆している。

【0026】通常のICメモリのスタティックメモリ構成（SRAM（スタティック・ランダム・アクセスメモ

リ）のメモリ構成）は、図18に示すように、一方の方向に延びた正極性データ配線501と負極性データ配線502とを有し、これら正極性データ配線501および負極性データ配線502と、これら配線と交差する制御線503の交差部にメモリセルを配置し、このメモリセルを、2つのインバータ506、507を用いたスタティックメモリとTFT504、505とで構成する。

【0027】このスタティックメモリを書き換えるには、正極性データ配線501と負極性データ配線502とにデータを出力し、制御線503によりTFT504、505を導通状態とする。

【0028】このため、このようなICメモリ等のメモリ素子構成でも、複数のメモリセルで制御線503が共通化されているので、同一の制御線503に接続されたメモリセルのTFT504、505は書き換え対象でなくとも導通状態となり、前記特開平8-286170号公報に記載の表示装置を用いた場合同様、データ線の浮遊容量による電力の消費という問題が生じる。

【0029】また、特開2000-227608号公報に記載の表示基板においては、図17に示すように、画素メモリ素子としてコンデンサ416を使用している。このため、表示部408（図16参照）の各画素のメモリ状態と画像メモリ406（図16参照）のメモリ状態とが同じ場合でも、画素メモリの記憶状態を保持するため、画素メモリの状態を書き直す必要がある。このため、上記特開2000-227608号公報に記載の表示基板は、画素メモリの状態の周期的な書き直しを必要とする。

【0030】そこで、このような書き直しを行わないように、図17に示す画素メモリ構成の代わりに、図13に示すようなスタティックメモリ209を用いた画素メモリ構成を用いることが考えられる。

【0031】しかしながら、上記特開2000-227608号公報のようにアドレスデコーダを用いない構成では、図17において画素メモリを図13に示すスタティックメモリ209を用いた構成とした場合でも、図17においてライン選択配線411を共有する他の画素のメモリ状態を書き換える必要が生じた場合、画素メモリの記憶状態と、図16に示す画像メモリ406の記憶状態とが等しい画素メモリでも書き直すことになる。

【0032】このため、この書き直しにより、図17に示す信号配線412の電位が変動するので、この場合にも、前記特開平8-286170号公報に記載の表示装置と同様、データ線の電位変動による電力の消費が発生する。

【0033】また、一般に、図13に示すスタティックメモリ209の方が、図17に示すダイナミックメモリよりも必要なTFTの数が多くなる。

【0034】本発明は、上記従来の問題点に鑑みなされたものであり、消費電力を低減することができるメモリ

一体型表示基板および表示装置、並びに、消費電力を低減することができると共に、これらメモリー一体型表示基板や表示装置に好適に用いられるメモリセルアレイを提供することにある。

【0035】また、本発明のさらなる目的は、上記メモリー一体型表示基板並びに表示装置において、画素内に不揮発性メモリを持つ構成を採用した場合に、適切な表示部外の画像メモリ構成を与えることにある。

【0036】

【課題を解決するための手段】本発明にかかるメモリー一体型表示基板は、上記の課題を解決するために、1方向に配列された複数の第1の配線（例えばカラム側配線）と、上記第1の配線のそれぞれと交差する複数の第2の配線（例えばロウ側配線（走査側配線））と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられた、電気光学素子（例えば有機EL素子）および第1のメモリ素子（例えば画素メモリ）、またはメモリ性を有する電気光学素子（例えば強誘電性液晶素子）と、上記各第1のメモリ素子またはメモリ性を有する電気光学素子を制御するためのデータ信号が入力される複数の第3の配線（例えばデータ配線）と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第1の配線の選択／非選択によって導通／非導通が制御される第1のスイッチ素子（例えばTFT）と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第2のスイッチ素子（例えばTFT）とを備え、上記第1の配線と第2の配線との交差位置毎に、上記第3の配線と、第1および第2のスイッチ素子と、第1のメモリ素子またはメモリ性を有する電気光学素子とが、直列に接続されていることを特徴としている。

【0037】上記の構成によれば、第1の配線と第2の配線とが共に選択状態となった、第1のメモリ素子またはメモリ性を有する電気光学素子のみ、上記第3の配線と上記第1のメモリ素子またはメモリ性を有する電気光学素子との間が導通状態となる。このため、選択されていない、第1のメモリ素子またはメモリ性を有する電気光学素子では、上記第3の配線と第1のメモリ素子またはメモリ性を有する電気光学素子との間が電流遮断状態（オープン状態）となり、上記第1のメモリ素子またはメモリ性を有する電気光学素子からの出力により上記第3の配線がチャージアップされることがなくなり、その分、低消費電力化することができる。

【0038】また、本発明にかかるメモリー一体型表示基板は、上記の課題を解決するために、上記電気光学素子1つに対し、上記第1のメモリ素子が複数設けられ、上記第1のメモリ素子はそれぞれ、導通／非導通の切り替えが可能な第3のスイッチ素子（例えばTFT）を介して上記第1および第2のスイッチ素子と接続されている

ことを特徴としている。

【0039】電気光学素子毎に多階調表示を行う場合のように、電気光学素子1つに対し、第1のメモリ素子が複数設けられた構成とする場合、例えば、（1）上記第1および第2のスイッチ素子が、それぞれ、上記第1のメモリ素子の数に対応した数分設けられ、上記第1のメモリ素子それぞれに、上記第1および第2のスイッチ素子が接続された構成、または、（2）上記第1および第2のスイッチ素子と各第1のメモリ素子との間に、導通／非導通の切り替えが可能な第3のスイッチ素子がそれぞれ設けられ、上記第1のメモリ素子がそれぞれ、上記第3のスイッチ素子を介して上記第1および第2のスイッチ素子と接続されている構成とすることにより、上述したように第1の配線と第2の配線とが共に選択状態となった第1のメモリ素子のみ、第3の配線と第1のメモリ素子との間を導通状態とすることできる。

【0040】この場合、前者、つまり、（1）の構成を採用すると、多階調化に必要な第3の配線の数が増加する。しかしながら、後者、つまり、上記（2）に示すように、上記第1と第2のスイッチ素子と複数のメモリ素子との間に、各メモリ素子毎に1つの第3のスイッチ素子を配置し、上記第1のメモリ素子のうち、上記第3の配線に供給（入力）されたデータ信号に対応するメモリ素子に対応する第3のスイッチ素子を導通状態とすることで、第3の配線の数を増加させることなく、電気光学素子毎に多階調表示を行うことができる。このため、上記の構成によれば、必要な配線数を抑え、その分、他の構成要素を配置したり、開口率を向上させることができる。

【0041】なお、上記電気光学素子1つに対し、上記第1のメモリ素子が複数設けられている構成としては、例えば、1つの電気光学素子が1画素（または1ドット）に対応する場合と、複数の電気光学素子が1画素（または1ドット）に対応する場合とがある。

【0042】また、本発明にかかるメモリー一体型表示基板は、上記の課題を解決するために、1方向に配列された複数の第4の配線（例えばメモリセルアレイにおけるカラム側配線（データ配線））と、上記第4の配線のそれぞれと交差する複数の第5の配線（例えばメモリセルアレイにおけるロウ側配線（走査側配線））と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子（例えばメモリセルアレイにおける画像メモリ；表示部外のメモリ）と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子（例えばメモリセルアレイにおいて変移データを記憶するメモリ）とを有するメモリセルアレイ（例えばRAMやメモリICセル等のドライバ回路）が、上記第1の配線（つまり、上記第1のメモリ素

子と、例えばスイッチング素子等を通して接続されている第1の配線と接続されていることを特徴としている。

【0043】上記第1および第2の配線の選択状態を切り替える際、アドレスデコードを用いない構成とした場合、例えば上記したようにドライバ回路としてメモリセルアレイを使用し、このような表示部外のメモリから1ライン分のデータを画素メモリとしての上記第1のメモリ素子に転送させる構成では、該第1のメモリ素子の状態を変化させる頻度は低い。このため、書き換え対象の画素における上記第1のメモリ素子のみを書き換えるためには、どの画素を書き換えるべきかを知るための手段が必要になる。

【0044】そこで、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子を、上記第1の配線と接続することで、上記第1の配線を介して上記第1のスイッチング素子を制御することができる。このため、第2のメモリ素子を書き換えられた画素を書き換えるときのみ、上記第1の配線および第2の配線が選択状態となるので、書き換える必要のない画素に対応する第3の配線はチャージアップされることがなく、その分、消費電力を削減することができる。

【0045】なお、このように第2のメモリ素子が外部CPUなどにより書き換えられたかを知るために、第3のメモリ素子へ、第2のメモリ素子に外部からデータ信号が入力されたことを示す事実を、「変化あり」データとして記録し、第3のメモリ素子に、第2のメモリ素子に外部からデータ信号が入力されたことを示すデータ（「変化あり」データ）が記録されているときのみ、上記第2のメモリ素子から第3の配線にデータを読み出す構成とすることで、上記第3のメモリ素子が「変化なし」に対応する第3の配線、つまり、第3のメモリ素子に、第2のメモリ素子に外部からデータ信号が入力されたことを示すデータ（「変化あり」データ）が記録されていない画素における第3の配線に、データを転送する必要がないので、その分、低消費電力化することができる。このような構成は、一般的なメモリー一体型表示装置、例えば従来技術で示したようなメモリー一体型表示装置に対しても適用することができる。

【0046】すなわち、本発明にかかるメモリー一体型表示基板は、上記の課題を解決するために、第1の方向に配列された複数の第1の配線（例えばカラム側配線）または第2の配線（例えばロウ側配線（走査側配線））と、上記第1の配線または第2の配線のそれぞれと交差する複数の第3の配線（例えばデータ配線）と、上記第1の配線または第2の配線と、第3の配線との交差位置毎に少なくとも1つずつ設けられた電気光学素子（例えば有機EL素子）および第1のメモリ素子（第1のメモリ素子（例えば画素メモリ）、またはメモリー性を有する

電気光学素子（例えば強誘電性液晶素子）と、上記第1または第2の配線と接続されたメモリセルアレイ（例えばRAMやメモリICセル等のドライバ回路）とを有し、上記メモリセルアレイは、第1の方向に配列された複数の第4の配線（例えばメモリセルアレイにおけるカラム側配線（データ配線））と、上記第4の配線のそれぞれと交差する複数の第5の配線（例えばメモリセルアレイにおけるロウ側配線（走査側配線））と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子（例えばメモリセルアレイにおける画像メモリ；表示部外のメモリ）と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子（例えばメモリセルアレイにおいて変移データを記憶するメモリ）とを有し、上記第3のメモリ素子は、上記第2のメモリ素子に外部からデータ信号が入力されると、上記第2のメモリ素子に外部からデータ信号が入力されたことを示すデータを記録し、上記第2のメモリ素子は、該第2のメモリ素子に外部からデータ信号が入力されたことを示すデータが上記第3のメモリ素子に記録されているときのみ、該第2のメモリ素子に入力されたデータ信号を上記第3の配線に転送することを特徴としている。

【0047】このため、上記メモリー一体型表示基板もまた、第2のメモリ素子を書き換えられた画素を書き換えるときのみ、上記第1の配線および第2の配線が選択状態となるので、書き換える必要のない画素に対応する第3の配線はチャージアップされることがなく、その分、消費電力を削減することができる。

【0048】また、上記した各構成によれば、画素メモリ（上記第1のメモリ素子）にデータを書き込むための時間（選択状態の時間）を、第2のメモリ素子へデータを書き込む1アドレス期間（選択状態の時間）より長く取ることができるので、メモリ書き込み時間を充分長くとることができる。このため、上記メモリセルの各制御信号を低周波化することができるので、その分、消費電力を削減することができる。また、例えばデータ配線などの浮遊容量に伴うデータ転送速度の遅延が発生しても、書き込み時間を確保することもできる。

【0049】上記第2のメモリ素子と第3のメモリ素子とは、上記第2のメモリ素子に接続され、上記第2のメモリ素子へのデータの導通／非導通状態（入力／遮断）を制御する配線と電気的に同期した配線により制御されるスイッチ素子を介して上記第3のメモリ素子のデータを書き換えることで、上記第2のメモリ素子のデータ変化と第3のメモリ素子の内容とを同期させることができる。

【0050】なお、電気的に同期した配線とは、同一の配線や、同一のタイミングでデータが変化する配線や、

同期してデータが変化する配線を示す。

【0051】また、本発明にかかるメモリー一体型表示基板は、上記の課題を解決するために、上記メモリー一体型表示基板は、上記第1のメモリ素子が不揮発性メモリであり、上記第2および第3のメモリ素子が揮発性メモリであることを特徴としている。

【0052】上記メモリセルアレイにおける上記第2のメモリ素子は、該第2のメモリ素子に蓄えられたデータを上記第3の配線を介して各画素の第1のメモリに転送するため、上記第2および第3のメモリ素子は、不揮発性メモリである必要はない。

【0053】なお、揮発性メモリとは、データの更新を行わないと、いずれ、データ内容が消えてしまうメモリであり、例えばDRAM（ダイナミック・ランダム・アクセス・メモリ）等が挙げられる。

【0054】一方、不揮発性メモリとは、データの更新を行わなくともデータ内容が消えないメモリであり、例えば、SRAM（スタティック・ランダム・アクセス・メモリ）やフラッシュ・メモリ等が挙げられる。

【0055】上記の構成によれば、上記第2および第3のメモリ素子に揮発性メモリを使用することで、例えば上記第2および第3のメモリ素子を、それぞれ、例えばコンデンサ1つずつで構成することができ、回路規模を小さくすることができる。

【0056】また、本発明にかかる表示装置は、上記の課題を解決するために、本発明にかかる上記メモリー一体型表示基板を備えていることを特徴としている。

【0057】上記の構成によれば、本発明にかかる表示装置が上記メモリー一体型表示基板を備えていることで、上記第1のメモリ素子またはメモリ性を有する電気光学素子からの出力により上記第3の配線がチャージアップされることがなくなる分、低消費電力化することができる。この結果、このようなメモリー一体型表示基板を備えた表示装置の低消費電力化を図ることができる。

【0058】また、本発明にかかるメモリセルアレイは、上記の課題を解決するために、1方向に配列された複数の第4の配線（例えばカラム側配線（データ配線））と、上記第4の配線のそれぞれと交差する複数の第5の配線（例えばロウ側配線（走査側配線））と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子（例えば画像メモリ）と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子（例えば変移データを記憶するメモリ）とを有することを特徴としている。

【0059】上記の構成によれば、上記第3のメモリ素子が、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられることで、上記第2のメモリ素子に書き込まれたデータを画素メモリに転送する

に際し、上記第2のメモリ素子に書き込まれたデータ、つまり、画素に表示すべきデータと共に、画素に表示すべきデータを書き換えるか否かを示すデータ（変移データ）を転送することができる。このため、どの画素を書き換えるべきであるかを知ることができ、書き換え対象の画素のみを書き換えることができる。このため、省電力化を図ることができる。

【0060】また、本発明にかかるメモリセルアレイは、上記の課題を解決するために、1方向に配列された複数の第4の配線（例えばカラム側配線）と、上記第4の配線のそれぞれと交差する複数の第5の配線（例えばロウ側配線（走査側配線））と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられた第2のメモリ素子（例えば画像メモリ）と、上記各第2のメモリ素子を制御するためのデータ信号が入力される複数の第6の配線（例えばデータ配線）と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、上記第4の配線の選択／非選択によって導通／非導通が制御される第4のスイッチ素子（例えばTFT）と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第5のスイッチ素子（例えばTFT）とを備え、上記第4の配線と第5の配線との交差位置毎に、上記第6の配線と、第4および第5のスイッチ素子と、第2のメモリ素子とが、直列に接続されていることを特徴としている。

【0061】すなわち、本発明は、前記第1および第2のスイッチ素子と1つのメモリ素子のみが対応し、電気光学素子を含まない構成にも適用可能である。つまり、本発明は、表示基板における画素メモリ構成に限らず、通常のメモリICセル構成や、表示基板上の表示部外のメモリセル構成に適用しても、同様の効果を得ることができる。

【0062】つまり、上記の構成によれば、第4の配線と第5の配線とが共に選択状態となった、第2のメモリ素子のみ、上記第4の配線と上記第2のメモリ素子との間が導通状態となる。このため、選択されていない第2のメモリ素子では、上記第4の配線と第2のメモリ素子との間が遮断状態（オープン状態）となり、上記第2のメモリ素子からの出力により上記第6の配線がチャージアップまたはチャージダウンされることがなくなり、その分、低消費電力化することができる。

【0063】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1ないし図4（a）～（j）に基づいて説明すれば、以下の通りである。

【0064】本実施の形態にかかる表示装置は、画素にメモリ機能を持たせた表示装置であり、図1に示すように、互いに平行に配された複数のカラム側配線C<sub>j</sub>（j＝1, 2, 3, …, n；nは正の整数を示す；第1の配



線)と、上記各カラム側配線 $C_j$ とそれぞれ略直交(交差)するように配された複数のロウ側配線 $G_i$  ( $i = 1, 2, 3, \dots, m$ ;  $m$ は正の整数を示す; 第2の配線)と、上記各ロウ側配線 $G_i$ とそれぞれ略直交(交差)するように配された複数のデータ配線 $D_j$  ( $j = 1, 2, 3, \dots, n$ ;  $n$ は正の整数を示す; 第3の配線)とを有し、ロウ側配線 $G_i$ とカラム側配線 $C_j$ との交差部(本実施の形態では、ロウ側配線 $G_i$ とデータ配線 $D_j$ との交差部でもある)にそれぞれ画素 $A_{ij}$  ( $i = 1, 2, 3, \dots, m, j = 1, 2, 3, \dots, n$ )が配置され、各画素 $A_{ij}$ 毎に、それぞれ、TFT(薄膜トランジスタ)46、47と、メモリ素子52(第1のメモリ素子)と、電気光学素子としての有機EL(electroluminescence)素子49とTFT48とが設けられた表示基板30を備えた構成を有している。

【0065】上記画素 $A_{ij}$ を構成するTFT46(第1のスイッチ素子)のゲート電極はカラム側配線 $C_j$ に接続され、該TFT46は、上記画素 $A_{ij}$ に対応するカラム側配線 $C_j$ によって、その導通/遮断、つまり、導通・非導通の状態(ON/OFF動作)が、制御されるようになっている。また、上記TFT46のソース電極はデータ配線 $D_j$ に接続され、ドレイン電極は、ゲート電極がロウ側配線 $G_i$ と接続されているTFT47(第2のスイッチ素子)のソース電極に接続されている。

【0066】一方、上記TFT47は、上記したようにゲート電極がロウ側配線 $G_i$ と接続され、上記画素 $A_{ij}$ に対応するロウ側配線 $G_i$ によって、その導通/遮断、つまり、導通・非導通の状態が、制御されるようになっている。また、上記TFT47のドレイン電極は上記メモリ素子52に接続されている。

【0067】このため、上記メモリ素子52は、上記TFT46、47が共に導通状態にあるときにはじめてデータ配線 $D_j$ のデータ電位を印加することができるようになっている。

【0068】また、上記表示基板30は、データドライバとしてのデータバッファ34と該データバッファ34に接続されたデータ信号線39とを備え、データバッファ34からデータ信号線39を介して上記各データ配線 $D_j$ に、上記各メモリ素子52を制御するためのデータ信号を入力するようになっている。

【0069】上記データ配線 $D_j$ は、TFT40(第6のスイッチ素子)と接続され、該TFT40を介して上記データ信号線39と接続されている。上記TFT40のソース電極はデータ信号線39と接続され、ドレイン電極は上記データ配線 $D_j$ に接続され、ゲート電極は上記カラム側配線 $C_j$ に接続され、不要なデータ配線 $D_j$ をチャージアップしないようになっている。

【0070】また、上記データ配線 $D_j$ と、TFT46と、TFT47と、メモリ素子52とは、直列に接続さ

れた構成を有し、カラム側配線 $C_j$ とロウ側配線 $G_i$ とが共に選択状態である場合のみ、上記TFT46、47が導通してカラム側配線 $C_j$ とメモリ素子52との間が導通状態となる。

【0071】このため、上記表示基板30では、選択されていないメモリ素子52ではカラム側配線 $C_j$ とメモリ素子52との間がオープン状態となり、メモリ素子52からの出力によりデータ配線 $D_j$ がチャージアップされることがなく、その分、低省電力化することができるようになっている。

【0072】さらに、電気光学素子(有機EL素子)駆動用のスイッチ素子である上記TFT48は、上記画素 $A_{ij}$ を構成するメモリ素子52と有機EL素子49との間に設けられ、上記有機EL素子49を駆動するようになっている。上記TFT48のゲート電極はメモリ素子52に接続され、ドレイン電極は、接地ライン(GND)に接続(接地)された有機EL素子49に接続されている。また、上記TFT48のソース電極は、上記表示基板30に設けられた電源35から予め定められた基準電位が印加される電源ライン41に接続されている。

【0073】上記メモリ素子52は、表示部(画面表示領域)における画素メモリとして画素 $A_{ij}$ に表示すべきデータを記憶するメモリ素子であり、CMOS(complementary metal oxide semiconductor)構造のインバータ50、51をループ状に接続して構成される2段インバータ構成を有するSRAM(スタティック・ランダム・アクセス・メモリ)である。上記メモリ素子52は、上記カラム側配線 $C_j$ とロウ側配線 $G_i$ との交差部(交差位置)毎にそれぞれ設けられている。

【0074】上記インバータ51は、図2に示すように、相補動作する、p型のTFT42およびn型のTFT44から構成されており、入力端となる、両TFT42、44のゲート電極は、前記したように、TFT46並びにTFT47を介して、画素 $A_{ij}$ に対応するデータ配線 $D_j$ に接続されている。一方、出力端となる、両TFT42、44のドレイン電極は、次段のインバータ50に接続されている。また、TFT42のソース電極は、予め定められた基準電位が印加される電源ライン41に接続され、TFT44のソース電極は、接地ライン(GND)に接続されている。なお、本実施の形態では、TFTが対称性を有しているため、ソース電極とドレイン電極とは入れ替え可能である。

【0075】一方、上記インバータ51に接続される、次段のインバータ50は、相補動作するp型のTFT43およびn型のTFT45から構成されており、入力端となる、両TFT43、45のゲート電極は、前段のインバータ51の出力端、すなわち、インバータ51におけるTFT42、44のドレイン電極に接続されると共に、出力端となる、両TFT43、45のドレイン電極は、インバータ51の入力端、すなわち、TFT42、

44のゲート電極に帰還されている。また、インバータ51同様、p型のTFT43のソース電極は、予め定められた基準電位が印加される電源ライン41に接続されると共に、n型のTFT45のソース電極は、接地ライン(GND)に接続されている。

【0076】また、本実施の形態において用いられる上記有機EL素子49は、図3に示すように、ガラス基板1の上に、陽極2、有機多層膜4、陰極3がこの順に形成された構成を有している。

【0077】上記有機多層膜4には幾つかの構造があるが、本実施の形態では、陽極2の上に、正孔注入層(ま

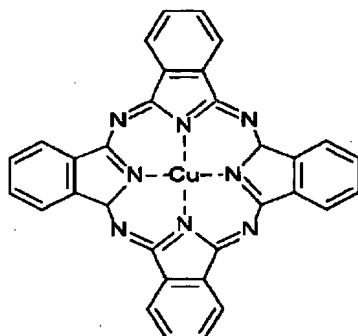
たは陽極バッファ層)5、正孔輸送層6、発光層7、電子輸送層8が、この順に積層された有機多層膜4を使用するものとする。

【0078】上記陽極2としては、例えば、ITO等からなる透明な陽極が用いられる。また、陰極3としては、例えばAl等からなる陰極が用いられる。

【0079】上記正孔注入層5としては、例えば、下記一般式(1)

【0080】

【化1】

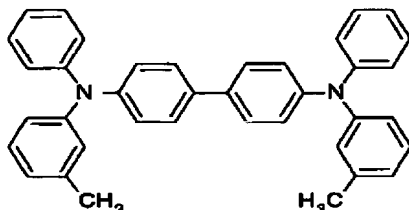


.....(1)

【0081】で表される化合物(CuPc)からなる層が用いられる。また、上記正孔輸送層6としては、例えば、下記一般式(2)

【0082】

【化2】



.....(2)

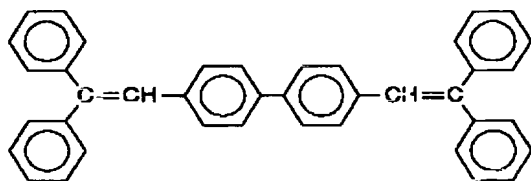
【0083】で表される化合物(TPD)からなる層が用いられる。

式(3)

【0085】

【0084】上記発光層7としては、例えば、下記一般

【化3】

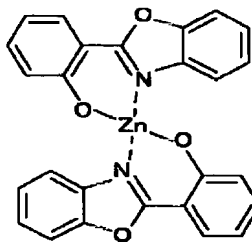


.....(3)

【0086】で表される化合物(DPVBi)からなる層が用いられる。その他、上記発光層7としては、その発光層の発色に応じて、例えば、青色発光層の場合は、下記一般式(4)

【0087】

【化4】

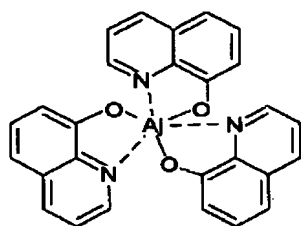


.....(4)

【0088】で表される化合物(Zn(oxz)<sub>2</sub>)からなる層、赤色発光層の場合は、下記一般式(5)

【0089】

## 【化5】



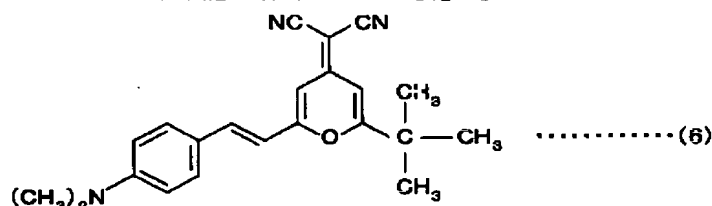
.....(5)

【0090】で表される化合物(A1q)からなる層、  
緑色発光層の場合は、上記一般式(5)で表される化合物(A1q)をホストとし、該ホストに、下記一般式

(6)

【0091】

【化6】



.....(6)

【0092】で表される化合物(DCM)をドーパントした化合物からなる層等が用いられる。また、電子輸送層8としては、例えば、前記一般式(5)で表される化合物(A1q)からなる層が用いられる。

【0093】電気光学素子としてのこのような有機EL素子49を駆動するために必要とされるTFTは、電荷移動度の大きなシリコンプロセスで製作されたTFTを用いる必要がある。

【0094】そこで、以下に、上記有機EL素子49を駆動するためのTFTの製造プロセスについて、図4(a)～(j)に基づいて説明する。なお、このようなTFTの製造プロセスは、例えば特開平10-301536号公報等でも説明されている。

【0095】まず、図4(a)に示すように、ガラス基板11上に、非晶質シリコン薄膜12を堆積させる。次に、図4(b)に示すように、上記非晶質シリコン薄膜12にエキシマレーザを照射し、多結晶シリコン薄膜13を形成する。

【0096】次いで、上記多結晶シリコン薄膜13を所望の形状にパターニングし、図4(c)に示すようにアクティブ領域14を形成し、続いて、図4(d)に示すように、上記アクティブ領域14の上からゲート絶縁膜15を形成する。

【0097】次いで、図4(e)に示すように、TFTのゲート電極16・16をアルミニウム等で形成する。

【0098】続いて、図4(f)に示すように、一方のTFTのゲート電極16をレジスト材17で覆った後、燐イオン(P<sup>+</sup>)ドーピングを行う。これにより、上記レジスト材17で覆われていないゲート電極16側のアクティブ領域14のうち、該ゲート電極16でマスクされた領域以外の領域がn<sup>+</sup>領域18となる。

【0099】さらに、図4(g)に示すように、図4(f)で形成したレジスト材17を除去した後、他方の

TFTのゲート電極16をレジスト材19で覆い、次いで、硼素イオン(B<sup>+</sup>)ドーピングを行う。これにより、上記レジスト材19で覆われていないゲート電極16側のアクティブ領域14のうち、該ゲート電極16でマスクされた領域以外の領域がp<sup>+</sup>領域20となる。

【0100】即ち、図4(f)・(g)において、TFTのソース・ドレイン領域に不純物(n型領域には磷、p型領域には硼素)が注入される。

【0101】その後、図4(h)に示すように、n<sup>+</sup>領域18およびp<sup>+</sup>領域20が形成されたTFT上に、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜21を堆積する。

【0102】そして、図4(i)に示すように、層間絶縁膜21に、上記n<sup>+</sup>領域18およびp<sup>+</sup>領域20に連通するコンタクトホール22…を形成した後、図4(j)に示すように、アルミニウム等の金属配線23を形成する。

【0103】これにより、上記TFTとして、電荷移動度の大きなシリコンプロセスで製作された多結晶シリコン薄膜トランジスタを得ることができる。

【0104】なお、上記の工程において、プロセスの最高温度は、ゲート絶縁膜15形成時の600℃である。このため、上記ガラス基板11には、例えば、米国コーニング社製の1737ガラス(商品名)等の、高耐熱性ガラスが使用できる。

【0105】また、本実施の形態にかかる表示装置として液晶表示装置を作製する場合、上記多結晶シリコン薄膜トランジスタの形成後に、さらに、別の層間絶縁膜を介して、透明電極(透過型液晶表示装置の場合)や反射電極(反射型液晶表示装置の場合)が形成される。

【0106】また、図1に示すように、本実施の形態にかかる上記表示基板30は、アドレスバッファ33と該アドレスバッファ33に接続されたアドレス信号線36

～38とを備え、該アドレス信号線36～38の一部であるアドレス信号線37と上記カラム側配線Cjとの間には、各カラム側配線Cjに接続され、各カラム側配線Cjを駆動するカラム・アドレス・デコーダ（以下、単にカラムデコーダと記す）31（第1のアドレスデコーダ回路）が設けられている。上記カラムデコーダ31は、TFT40を介して画素Aij（画素Aijにおけるカラム側配線Cj）に間接的に接続されている。

【0107】一方、上記アドレス信号線36～38における、上記アドレス信号線37以外の他のアドレス信号線38と上記ロウ側配線Giとの間には、各ロウ側配線Giに接続され、各ロウ側配線を駆動するロウ・アドレス・デコーダ（以下、単にロウデコーダと記す）32（第2のアドレスデコーダ回路）が設けられている。

【0108】上記ロウデコーダ32は、アドレス信号線38の値がpであれば、ロウ側配線Gi（ $i=1, 2, 3, \dots, m$ ）のうち、ロウ側配線Gp+1（ $p=1, 2, 3, \dots, m-1$ ； $i=p+1 \leq m$ ；pは正の整数を示す）にのみ、選択信号を供給することで択一的に選択状態として、残りのロウ側配線Gi（ $i \neq p+1$ ）は非選択状態とする回路であり、上記ロウ側配線Giの一部を選択し、その選択状態を変化させるようになっている。

【0109】また、上記カラムデコーダ31は、アドレス信号線37の値がqであれば、カラム側配線Cj（ $j=1, 2, 3, \dots, n$ ）のうち、カラム側配線Cq+1（ $q=1, 2, 3, \dots, n-1$ ； $j=q+1 \leq n$ ；qは正の整数を示す）にのみ選択信号を供給して、択一的に選択状態として、残りのカラム側配線Cj（ $j \neq q+1$ ）は非選択状態とする回路であり、上記カラム側配線Cjの一部を選択し、その選択状態を変化させるようになっている。

【0110】なお、上記ロウデコーダ32、カラムデコーダ31は、上記ロウ側配線Gi、カラム側配線Cjを、順次あるいはランダムに選択状態とすることができる。

【0111】そこで、図1において、有機EL素子49の数（1画素当たり複数の有機EL素子が配置されることがあるので、ここでは有機EL素子の数という表現を用いる）を $m \times n$ （m, n共に正の整数）とすると、各ロウ側配線Gi（ $i=1, 2, 3, \dots, m$ ）の状態は、上記アドレス信号線38のデータをロウデコーダ32でデコードすることで設定される。

【0112】また、各カラム側配線Cj（ $i=1, 2, 3, \dots, m$ ）の状態は、アドレス信号線37のデータをカラムデコーダ31でデコードすることで設定される。

【0113】上記表示基板30においては、表示部（画面表示領域）の周辺部分に設けられた上記カラムデコーダ31およびロウデコーダ32により、カラム側配線Cjおよびロウ側配線Giに選択信号が供給され、どの画

素Aijを書き換えるかが制御されている。

【0114】画素Aijを構成するメモリ素子52は、上記画素Aijに対応するロウ側配線Giの信号およびカラム側配線Cjの信号が選択状態にあり、ロウデコーダ32およびカラムデコーダ31が予め設定された選択レベルの電位を印加している間（選択期間）に、上記画素Aijに対応するデータ配線Djからデータ信号が供給されていれば、カラムデコーダ31からメモリ素子52の内容にアクセス、つまり、上記メモリ素子52の内容（状態）を、データ配線Djから供給されるデータに書き換えることができる。

【0115】また、上記メモリ素子52は、選択期間以外の非選択期間中はカラム側配線Cjから切り離される。上記メモリ素子52では、両インバータ50, 51がループ状に接続されているので、両インバータ50, 51において、TFT42～45の導通／非導通状態は、選択期間が終了して、TFT46, 47が遮断されている間（非選択期間中）も維持され、選択期間中に書き込まれた値（ONまたはOFF状態）を保持するようになっている。

【0116】上記構成の表示基板30において、画素Aijのメモリ素子52のデータを更新するには、ロウ側配線Giとカラム側配線Cjとを選択状態とし、データバッファ34から書き込みたいデータを出力すればよい。以下に、画素Aijのメモリ素子52のデータを更新する場合の動作について、画素A11のメモリ素子52のデータを更新する場合を例に挙げて説明する。

【0117】図1に示すように、アドレスバッファ33により増幅されたアドレス信号は、アドレス信号線36, 37を介して信号“0”がカラムデコーダ31に入力される一方、アドレス信号線36, 38を介して信号“0”がロウデコーダ32に入力される。このとき、ロウ側配線G1とカラム側配線C1とが選択状態となる。

【0118】また、データバッファ34により増幅されたデータ信号は、データ信号線39から、TFT40、画素A11のTFT46, 47を経て、該画素A11のメモリ素子52に入力され、ここで保持される。

【0119】また、画素A11には、電源35から電力が供給されるようになっている。すなわち、電源35からの電流は、画素A11のTFT48を介して有機EL素子49に入力される。このTFT48は、画素A11のメモリ素子52によってON/OFFが制御されている。なお、他の画素Aijについても、同様の動作が行われる。

【0120】本実施の形態において、画素Aijのメモリ素子52では、インバータ51の入力端が常にインバータ50の出力端に接続されているが、TFT40, 46, 47およびデータバッファ34の出力インピーダンスはインバータ50の出力インピーダンスより低いので、ロウ側配線Giとカラム側配線Cjとを選択状態と

し、データバッファ34から書き込みたいデータを出力することで、インバータ51の入力電圧はデータバッファ34の出力電圧となり、メモリ素子52の記憶状態が書き換えられる。

【0121】このとき、画素 $A_{ij}$ とロウ側配線 $G_i$ を共有する画素 $A_{ik}$  ( $k=1, 2, 3, \dots, n; j \neq k$ ;  $k$ は正の整数を示す)、つまり、ロウ側配線 $G_i$ とデータ配線 $D_k$  ( $k=1, 2, 3, \dots, n; j \neq k$ )との交差部に設けられた他の画素 $A_{ik}$ では、TFT47が導通状態となっているが、カラム側配線 $C_j$ が選択状態にあり、上記画素 $A_{ik}$ に対応するカラム側配線 $C_k$  ( $k=1, 2, 3, \dots, n; j \neq k$ )は非選択状態にあるので、上記カラム側配線 $C_k$ によって制御される、上記画素 $A_{ik}$ を構成するTFT46は非導通状態(遮断状態)となっている。このため、インバータ50の出力がデータ配線 $D_k$  ( $k=1, 2, 3, \dots, n; j \neq k$ )へ出力されることはない。

【0122】したがって、画素 $A_{ij}$ を書き換える際に、選択画素である画素 $A_{ij}$ とロウ側配線 $G_i$ を共有する、非選択(書き換え対象外)の画素 $A_{ik}$ のデータ配線 $D_k$ がチャージアップされることがなく、その分、消費電力を削減することができる。

【0123】なお、図13で示した従来のメモリセル構成を有する表示装置の場合、画素には、本実施の形態にかかるTFT46が存在しない。このため、画素 $A_{ij}$ とロウ側配線 $G_i$ を共有する他の画素 $A_{ik}$ では、画素 $A_{ik}$ のメモリを構成するインバータ(本願では画素 $A_{ik}$ を構成するインバータ50, 51)の出力がそのままデータ配線 $D_k$ へ出力されてしまう。

【0124】したがって、画素 $A_{ij}$ を書き換える際に、選択画素である画素 $A_{ij}$ とロウ側配線 $G_i$ を共有する、非選択の画素 $A_{ik}$ のデータ配線 $D_k$ がチャージアップされてしまい、その分、消費電力が増える。

【0125】このように、本実施の形態によれば、選択画素である画素 $A_{ij}$ とロウ側配線 $G_i$ を共有する非選択の画素 $A_{ik}$ におけるメモリ素子52とデータ配線 $D_k$ とを非導通状態とすることができ、データ配線 $D_k$ がチャージアップされることがなく、その分、消費電力を削減することができる。

【0126】なお、本実施の形態では、電気光学素子を有機EL素子としたELディスプレイを例に挙げて説明したが、本発明はこれに限定されるものではなく、上記電気光学素子としては、液晶素子やFED素子等、従来公知の種々の電気光学素子を用いることができる。

【0127】また、有機EL素子にはメモリ性がないことから、本実施の形態では、図1に示す表示基板30において、有機EL素子49にメモリ素子52を別途付加した構成としたが、強誘電性液晶のようなメモリ性のある電気光学素子では、このようなメモリ素子を用いずとも、同様の効果が期待できる。

【0128】〔実施の形態2〕本発明の他の実施の形態について、図5に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1における構成要素と同一の機能を有する構成要素については、同一の符号を付記し、その説明を省略する。本実施の形態では、主に、前記実施の形態1との相違点について説明するものとする。

【0129】実施の形態1では、図1に示すようにデータ配線 $D_j$ がカラム側配線 $C_j$ と並行して設けられている場合を例に挙げて説明したが、本発明は、これに限定されるものではなく、図5に示すように、データ配線 $D_i$  ( $i=1, 2, \dots, m$ )がロウ側配線 $G_i$  ( $i=1, 2, \dots, m$ )と並行して設けられている場合にも適用することができる。そこで、本実施の形態では、データ配線 $D_i$ がロウ側配線 $G_i$ と並行して設けられている場合について説明する。

【0130】図5は、本実施の形態にかかる表示装置のシステム構成図であり、該表示装置が有する表示基板60の回路構成を示している。

【0131】図5に示す表示基板60は、データ配線 $D_i$  ( $i=1, 2, \dots, m$ )がロウ側配線 $G_i$  ( $i=1, 2, \dots, m$ )と並行して設けられた構成を有する。また、有機EL素子54は、該有機EL素子54を駆動する、電気光学素子(有機EL素子)駆動用のスイッチ素子であるTFT53における電源35側に接続されている。また、図5に示す表示基板60は、データ配線 $D_i$ およびデータ信号線39と接続されたTFT55(第6のスイッチ素子)を備えている。

【0132】すなわち、本実施の形態における表示基板60は、前記実施の形態1における表示基板30において、カラム側配線 $C_j$ と並行して設けられたデータ配線 $D_j$ 、有機EL素子49、TFT40, 48に代えて、ロウ側配線 $G_i$ と並行して設けられたデータ配線 $D_i$ 、有機EL素子54、TFT55, 53を備えている。

【0133】本実施の形態において用いられる有機EL素子54の積層構成は、上記表示基板60の構成から、ガラス基板1の上に、陰極3、有機多層膜4、陽極2がこの順に配された構成となる。また、有機多層膜4は、上記陰極3上に、電子輸送層8、発光層7、正孔輸送層6、正孔注入層(または陽極バッファ層)5がこの順で積層された構成となる。

【0134】上記TFT53は、GND配線と有機EL素子54との間に設けられている。本実施の形態では、有機EL素子54が、ガラス基板1の上に陰極3、有機多層膜4、陽極2の順に形成された構成を有していることから、TFT53のドレイン電極は接地ライン(GND)に接続され、ソース電極は、電源ライン41に接続された有機EL素子54に接続されている。上記TFT53のゲート電極はメモリ素子52に接続されている。

【0135】また、本実施の形態において、上記データ

配線D iは、ゲート電極がロウ側配線G iと接続されたTFT55のドレイン電極と接続されている。上記TFT55のソース電極はデータ信号線39と接続されている。上記TFT55は、前記実施の形態1におけるTFT40同様、その導通/遮断、つまり、導通・非導通の状態が制御され、不要なデータ配線D iをチャージアップしないようになっている。

【0136】また、本実施の形態においても、上記画素A i jを構成するTFT46（第1のスイッチ素子）およびTFT47（第2のスイッチ素子）のソース電極は、データ配線（本実施の形態においてはデータ配線D i）に接続され、TFT46のゲート電極はカラム側配線C jに接続され、TFT47のゲート電極はロウ側配線G iと接続されているが、本実施の形態では、上記データ配線D iがロウ側配線G iと並行して設けられていることから、上記TFT46のソース電極は、TFT47のドレイン電極に接続され、上記TFT46のドレイン電極がメモリ素子52に接続されている。

【0137】本実施の形態において、上記した以外の構成は、前記実施の形態1に示す表示基板30の構成と同じであるため、本実施の形態では、それら構成の説明並びに動作説明については省略するが、本実施の形態においても、上記データ配線D iと、TFT47と、TFT46と、メモリ素子52とは、直列に接続された構成を有し、カラム側配線C jとロウ側配線G iとが共に選択状態である場合のみ、上記TFT47、46が導通してカラム側配線C jとメモリ素子52との間が導通状態となる。

【0138】このため、上記表示基板60においても、選択されていないメモリ素子52では、カラム側配線C jとメモリ素子52との間がオープン状態となり、メモリ素子52からの出力により、データ配線D iがチャージアップされることがなく、その分、低省電力化することができるようになっている。

【0139】〔実施の形態3〕本発明の他の実施の形態について、図6および図7に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1または2における構成要素と同一の機能を有する構成要素については、同一の符号を付記し、その説明を省略する。本実施の形態では、主に、前記実施の形態1および2との相違点について説明するものとする。

【0140】実施の形態1および2では、電気光学素子としての有機EL素子とメモリ素子とが1対1対応する場合を例に挙げて説明したが、本発明は、これに限定されるものではなく、電気光学素子とメモリ素子（第1のメモリ素子）とが1対n対応、つまり、電気光学素子1つに対し、メモリ素子が複数対応する場合にも適用することができる。そこで、本実施の形態では、電気光学素子としての有機EL素子とメモリ素子とが1対n対応する例として、有機EL素子とメモリ素子とが、1対2の

割合で対応する場合を例に挙げて説明する。

【0141】図6は、本実施の形態にかかる表示装置のシステム構成図であり、該表示装置が有する表示基板70の回路構成を示している。

【0142】図6に示す表示基板70は、互いに平行に配された複数のカラム側配線C jと、上記各カラム側配線C jとそれぞれ略直交（交差）するように配された複数のロウ側配線G iと、上記各ロウ側配線G iとそれぞれ略直交（交差）するように配された、データ配線D j B1、D j B2（以下、総称してデータ配線D j B x（j=1, 2, 3...n, x=1, 2; nは正の整数を示す）と記す場合もある）からなる複数のデータ配線D jとを有し、ロウ側配線G iとカラム側配線C jとの交差部にそれぞれ画素A i jが配置され、各画素A i j毎に、上記カラム側配線C jまたはロウ側配線G iによって制御されるTFT77~80と、表示部（画面表示領域）における画素メモリとしてのメモリ素子75、76（第1のメモリ素子）と、電気光学素子としての有機EL素子49と、該有機EL素子49を駆動するためのTFT48とが配された構成を有している。

【0143】上記メモリ素子75は、CMOS構造のインバータ71、72をループ状に接続して構成される2段インバータ構成を有するSRAMであり、前記実施の形態1および2に示すメモリ素子52と同様な構成を有している。同様に、上記メモリ素子76は、CMOS構造のインバータ73、74をループ状に接続して構成される2段インバータ構成を有するSRAMであり、前記実施の形態1および2に示すメモリ素子52と同様な構成を有している。

【0144】上記画素A i jを構成するTFT77~80は、TFT77（第2のスイッチ素子）とTFT78（第1のスイッチ素子）とが上記メモリ素子75と対応し、TFT79（第2のスイッチ素子）とTFT80（第1のスイッチ素子）とがメモリ素子76と対応している。

【0145】上記メモリ素子75に対応して設けられたTFT77、78のうち、上記TFT77は、そのソース電極がデータ配線D j B1に、ドレイン電極が、TFT78に、ゲート電極がロウ側配線G iに接続され、上記画素A i jに対応するロウ側配線G iによって、その導通/遮断、つまり、導通・非導通の状態が、制御されるようになっている。

【0146】また、上記TFT78は、そのソース電極が、TFT77に、ドレイン電極がメモリ素子75に、ゲート電極がカラム側配線C jに接続され、上記画素A i jに対応するカラム側配線C jによって、その導通/遮断、つまり、導通・非導通の状態が、制御されるようになっている。

【0147】さらに、上記メモリ素子76に対応して設けられたTFT79、80のうち、上記TFT79は、

そのソース電極がデータ配線DjB2に、ドレイン電極が、TFT80に、ゲート電極がロウ側配線Giに接続され、上記画素Aijに対応するロウ側配線Giによって、その導通/遮断、つまり、導通・非導通の状態が、制御されるようになっている。

【0148】また、上記TFT80は、そのソース電極がTFT79に、ドレイン電極がメモリ素子76に、ゲート電極がカラム側配線Cjに接続され、上記画素Aijに対応するカラム側配線Cjによって、その導通/遮断、つまり、導通・非導通の状態が、制御されるようになっている。

【0149】さらに、上記データ配線DjB2は、ゲート電極がカラム側配線Cjと接続されたTFT82（第6のスイッチ素子）と接続されている。また、上記データ配線DjB1は、ゲート電極がカラム側配線Cjと接続されたTFT81（第6のスイッチ素子）と接続されている。上記TFT81のソース電極は、データバッファ34に接続されたデータ信号線83と接続され、ドレイン電極は、上記データ配線DjB1に接続されている。また、上記TFT82のソース電極は、データバッファ34に接続されたデータ信号線84と接続され、ドレイン電極は、上記データ配線DjB2に接続されている。上記各データ配線DjB1、DjB2には、データバッファ34からデータ信号線83、84を介して、上記各メモリ素子75、76を制御するためのデータ信号が入力される。上記TFT81、82は、上記画素Aijに対応するカラム側配線Cjによって、その導通/遮断、つまり、導通・非導通の状態が、制御され、不要なデータ配線DjB1、DjB2をチャージアップしないようになっている。

【0150】上記表示基板70においても、上記データ配線DjB1と、TFT77と、TFT78と、メモリ素子75とは、直列に接続された構成を有し、カラム側配線Cjとロウ側配線Giとが共に選択状態である場合のみ、上記TFT77、78が導通してカラム側配線Cjとメモリ素子75との間が導通状態となる。

【0151】また、上記データ配線DjB2と、TFT79と、TFT80と、メモリ素子76とは、直列に接続された構成を有し、カラム側配線Cjとロウ側配線Giとが共に選択状態である場合のみ、上記TFT79、80が導通してカラム側配線Cjとメモリ素子76との間が導通状態となる。

【0152】したがって、本実施の形態においても、画素Aijのメモリ素子75、76のデータ更新時に、選択画素である画素Aijとロウ側配線Giを共有する、非選択の画素Aikでは、カラム側配線Cjが非選択状態なので、画素Aikを構成するTFT77~80は非導通状態となり、画素Aikのメモリを構成するメモリ素子75、76のインバータ72、74の出力がデータ配線Dk Bx（ $k=1, 2, 3, \dots, n; j \neq k, x=$

1, 2; nは正の整数を示す）へ出力されない点で、前記実施の形態1および2と同様の効果を得ることができる。

【0153】また、本実施の形態にかかる上記表示基板70は、上記メモリ素子75、76と、有機EL素子49とを駆動するためのTFT48との間に、ビット制御配線EiB1、EiB2（ビット選択線）に接続されたTFT85、86（スイッチ素子）を備えた構成を有している。上記TFT85は上記メモリ素子75に対応し、TFT86はメモリ素子76に対応して設けられ、上記TFT85のソース電極は上記メモリ素子75の出力端子に、TFT86のソース電極は上記メモリ素子76の出力端子に接続されている。また、上記TFT85、86のドレイン電極は、それぞれTFT48のゲート電極に接続されている。

【0154】上記TFT85のゲート電極は、ビット制御配線EiB2（ $i=1, 2, 3, \dots, m; m$ は正の整数を示す）と接続されている。上記TFT85のゲート電極は、ビット制御配線EiB1（ $i=1, 2, 3, \dots, m; m$ は正の整数を示す）と接続され、TFT86のゲート電極は、ビット制御配線EiB2（ $i=1, 2, 3, \dots, m; m$ は正の整数を示す）と接続されている。

【0155】本実施の形態では、各ロウ側配線Giの状態と上記ビット制御配線EiB1、EiB2（以下、総称するときはビット制御配線EiBxと記す）の状態とを設定するために、前記実施の形態1・2に示すロウデコード32に代えて、アドレス信号線38のデータをデコードし、かつ、ビット制御配線EiBx（ $i=1, 2, 3, \dots, m, x=1, 2; m$ は正の整数を示す）を制御するコントローラ87（コントロール回路；第2のアドレスデコード回路）を用いる。なお、本実施の形態においても、アドレス信号線37のデコードには、カラム側配線Cjと接続されたカラムデコード31を用いるものとする。

【0156】これにより、上記表示基板70においては、表示部（画面表示領域）の周辺部分に設けられた上記カラムデコード31およびコントローラ87により、カラム側配線Cjおよびロウ側配線Giに選択信号が供給され、どの画素Aijを書き換えるかが制御され、また、有機EL素子49毎に、多階調表示が行われる。

【0157】次に、上記画素Aijのメモリ素子75、76の読み書きのタイミングを制御する上記各配線のタイミングを図7に示す。

【0158】図7は、上記表示装置におけるデータ配線DjBx、ロウ側配線Gi、カラム側配線Cj、ビット制御配線EiB1、EiB2の波形図であり、電圧VSを選択状態、電圧V0を非選択状態の電圧とする。

【0159】本実施の形態では、図7に示すように、ロウ側配線Giとカラム側配線Cjとが共に選択状態VS

である時間 $t_1$ の期間に、各メモリ素子75、76のデータが書き込まれる。すなわち、データ配線 $DjBx$ のデータのうち、メモリ素子75には $bit_1$  (1bit 目のデータ) が、メモリ素子76には $bit_2$  (2bit 目のデータ) が記憶される。

【0160】また、この時間 $t_1$ とは非同期に、メモリ素子75、76からデータを読み出すため、ビット制御配線 $EiB1$ とビット制御配線 $EiB2$ とが、時間 $t_0$ 、 $2t_0$ として示すように、そのビット ( $bit$ ) の重みである1:2の時間幅で選択状態 $VS$ となる動作が繰り返され、メモリ素子75、76から必要なデータが読み出され、TFT48のゲート電極に供給される。

【0161】このように本実施の形態によれば、電気光学素子毎、つまり、本実施の形態では有機EL素子49毎に多階調表示を行う表示装置においても、画素 $Aij$ を書き換える際に、選択画素である画素 $Aij$ とロウ側配線 $Gi$ を共有する、非選択の画素 $Aik$ のメモリ素子75、76と、画素 $Aik$ のデータ配線 $Dk$ とを非導通状態とすることができ、非選択の画素 $Aik$ のデータ配線 $Dk$ がチャージアップされることがなく、その分、消費電力を削減することができる。

【0162】なお、上記説明では有機EL素子とメモリ素子とが1対2の割合で対応する場合を例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、本実施の形態において、有機EL素子とメモリ素子とが1:3以上の割合で対応する場合には、例えば、図6に示す、TFT77、78、85、インバータ71、72、およびデータ配線 $DjBx$ を組み合わせたものを、対応するメモリ素子の数に対応する数だけ用意し、図7で示した読み出し動作を行うに際し、各メモリ素子のビット制御配線 $EiBx$ の選択時間幅をビットの重みに合わせて1:2:4:…と設定すればよいことは言うまでもない。

【0163】なお、本実施の形態では、電気光学素子1つに対し、メモリ素子が複数対応する場合において、メモリ素子毎に第1および第2のスイッチ素子が対応する場合について説明したが、本発明は、これに限定されるものではなく、電気光学素子とメモリ素子とが1対 $n$ 対応する場合、電気光学素子毎に第1および第2のスイッチ素子を対応して設ける構成としてもよい。

【0164】これは、各電気光学素子毎に1bit (ビット) の階調表示を行う場合と、本実施の形態にて示したように、各電気光学素子毎に多bit の階調表示を行う場合があるからであり、また、多bit の階調表示を行う場合でも、一本のカラム側配線 $Cj$ 当たり何bit のメモリ素子に対応させるかが選択できるためである。

【0165】なお、本発明では、1つの電気光学素子が1画素 (または1ドット) に対応する場合と、複数の電気光学素子が1画素 (または1ドット) に対応する場合があるので、画素毎ではなく、電気光学素子毎としてい

る。

【0166】〔実施の形態4〕本発明の他の実施の形態について、図8および図9に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1ないし3における構成要素と同一の機能を有する構成要素については、同一の符号を付記し、その説明を省略する。本実施の形態では、主に、前記実施の形態1ないし3との相違点について説明するものとする。

【0167】前記実施の形態3では、電気光学素子1つに対し、メモリ素子 (第1のメモリ素子) を複数対応させて多階調表示を行うに際し、メモリ素子毎に第1および第2のスイッチ素子が対応する場合を例に挙げて説明した。

【0168】しかしながら、前記実施の形態3に記載の表示基板70では、メモリ素子の数に応じて、多階調化に必要なデータ配線 $DjBx$  (データ配線 $Dj$ ) の数 ( $j \times x$ ) が増える。そこで、本実施の形態では、電気光学素子としての有機EL素子とメモリ素子 (第1のメモリ素子) とが1対 $n$ 対応する例として、有機EL素子とメモリ素子とが、1対2の割合で対応する場合を例に挙げて、データ配線 $Dj$ の数を増加させることなく多階調表示を行う方法について説明する。

【0169】図8は、本実施の形態にかかる表示装置のシステム構成図であり、該表示装置が有する表示基板90の回路構成を示している。

【0170】図8に示す表示基板90は、互いに平行に配された複数のカラム側配線 $Cj$ と、上記各カラム側配線 $Cj$ とそれぞれ略直交 (交差) するように配された複数のロウ側配線 $Gi$ と、上記各ロウ側配線 $Gi$ とそれぞれ略直交 (交差) するように配された複数のデータ配線 $Dj$ とを有し、ロウ側配線 $Gi$ とカラム側配線 $Cj$ との交差部 (本実施の形態では、ロウ側配線 $Gi$ とデータ配線 $Dj$ との交差部でもある) にそれぞれ画素 $Aij$ が配置され、各画素 $Aij$ 毎に、上記カラム側配線 $Cj$ またはロウ側配線 $Gi$ によって制御されるTFT46、47と、表示部 (画面表示領域) における画素メモリとしてのメモリ素子95、96 (第1のメモリ素子) と、電気光学素子としての有機EL素子49と、該有機EL素子49を駆動するためのTFT48とが配された構成を有している。

【0171】上記メモリ素子95は、CMOS構造のインバータ91、92をループ状に接続して構成される2段インバータ構成を有するSRAMであり、前記実施の形態1および2に示すメモリ素子52と同様な構成を有している。同様に、上記メモリ素子96は、CMOS構造のインバータ93、94をループ状に接続して構成される2段インバータ構成を有するSRAMであり、前記実施の形態1および2に示すメモリ素子52と同様な構成を有している。

【0172】また、本実施の形態では、上記TFT4



6, 47と、メモリ素子95, 96との間に、各メモリ素子毎に1つのTFT97, 98(第3のスイッチ素子)が接続された構成を有している。

【0173】すなわち、本実施の形態では、第1および第2のスイッチ素子と複数のメモリ素子との間に、各メモリ素子毎に1個の第3のスイッチ素子を配し、カラム側配線Cjに供給されたデータ信号に対応するメモリ素子に対応する上記第3のスイッチ素子を導通状態とすることで、1本のデータ配線Dj当たり、複数のメモリ素子に対応させることができ、データ配線Djの数を増加させることなく多階調表示を行うことができる。これにより、本実施の形態では、電気光学素子1つに対し、メモリ素子が複数対応する場合において、電気光学素子毎に第1および第2のスイッチ素子に対応して設ける構成とすることができ、電気光学素子毎に多階調表示を行うことができる。

【0174】上記画素Aijを構成するTFT97, 98は、TFT97が、メモリ素子95と対応し、TFT98がメモリ素子96と対応している。すなわち、上記TFT97, 98は、そのドレイン電極が、それぞれ対応するメモリ素子95, 96に接続されている。

【0175】また、上記TFT97, 98は、そのソース電極が、それぞれ有機EL素子49駆動用のTFT48のゲート電極に接続されている。このTFT48のドレイン電極は有機EL素子49に接続されている。

【0176】また、上記TFT47のゲート端子はロウ側配線Giに接続され、TFT46のゲート電極はカラム側配線Cjに接続され、TFT46のソース電極はデータ配線Djへ接続されている。さらに、データ配線DjはTFT40と接続され、そのTFT40のゲート電極はカラム側配線Cjと接続されている。

【0177】したがって、上記表示基板90においても、上記データ配線Djと、TFT46と、TFT47と、メモリ素子95とは、直列に接続された構成を有し、カラム側配線Cjとロウ側配線Giとが共に選択状態である場合のみ、上記TFT46, 47が導通してカラム側配線Cjとメモリ素子95との間が導通状態となる。

【0178】また、上記データ配線Djと、TFT46と、TFT47と、メモリ素子96とは、直列に接続された構成を有し、カラム側配線Cjとロウ側配線Giとが共に選択状態である場合のみ、上記TFT46, 47が導通してカラム側配線Cjとメモリ素子96との間が導通状態となる。

【0179】このため、本実施の形態においても、画素Aijのメモリ素子95, 96のデータ更新時に、選択画素である画素Aijとロウ側配線Giを共有する、非選択の画素Aikでは、カラム側配線Cjが非選択状態なので、画素Aikを構成するTFT46は非導通状態となり、画素Aikのメモリを構成するメモリ素子9

5, 96のインバータ91, 93の出力がデータ配線Djへ出力されることがない。

【0180】なお、上記TFT97のゲート電極は、ビット制御配線EiB1と接続され、TFT98のゲート電極は、ビット制御配線EiB2と接続されている。

【0181】本実施の形態では、各ロウ側配線Giの状態とビット制御配線EiBx(ビット制御配線EiB1, EiB2)の状態とを設定するために、アドレス信号線38のデータをデコードし、かつ、ビット制御配線EiBxを制御するコントローラ99(コントロール回路; 第2のアドレスデコード回路)を使用し、アドレス信号線37のデコードには、カラム側配線Cjと接続されたカラムデコード31を使用した。

【0182】これにより、上記表示基板90においては、表示部(画面表示領域)の周辺部分に設けられた上記カラムデコード31およびコントローラ99により、カラム側配線Cjおよびロウ側配線Giに選択信号が供給され、どの画素Aijを書き換えるかが制御される。

【0183】次に、上記画素Aijのメモリ素子95, 96の読み書きのタイミングを制御する上記各配線のタイミングを図9に示す。

【0184】図9は、上記表示装置におけるデータ配線Dj、ロウ側配線Gi、カラム側配線Cj、ビット制御配線EiB1, EiB2の波形図であり、電圧VSを選択状態、電圧V0を非選択状態の電圧とする。

【0185】本実施の形態では、図9に示すように、ロウ側配線Giとカラム側配線Cjとが共に選択状態VSである時間t1の期間に、各メモリ素子95, 96のデータが書き込まれる。すなわち、データ配線Djのデータがbit1(第1ビット目のデータ)のとき、ビット制御配線EiB1が選択されている間、メモリ素子95にbit1が記録され、データ配線Djのデータがbit2(第2ビット目のデータ)のとき、ビット制御配線EiB2が選択されている間、メモリ素子96にbit2が記録される。

【0186】また、この時間t1とは非同期に、メモリ素子95, 96からデータを読み出すため、ビット制御配線EiB1とビット制御配線EiB2とが、時間t0, 2t0として示すように、そのビット(bit)の重みである1:2の時間幅で選択状態VSとなる動作が繰り返され、メモリ素子95, 96から必要なデータが読み出され、TFT48のゲート電極に供給される。

【0187】なお、この繰り返し周期とは非同期にデータ書き込み時間t1が発生するので、図9に示すように、ロウ側配線Giが選択状態とっている間、ビット制御配線EiB1, EiB2はデータ配線Djに出力されたデータにしたがって選択される。

【0188】このように本実施の形態によれば、電気光学素子毎、つまり、本実施の形態では有機EL素子49毎に多階調表示を行う表示装置においても、画素Aij

を書き換える際に、選択画素である画素Aijとロウ側配線Giを共有する、非選択の画素Aikのメモリ素子95、96と、画素Aikのデータ配線Dkとを非導通状態とすることができるので、非選択の画素Aikのデータ配線Dkがチャージアップされることがなく、その分、消費電力を削減することができる。

【0189】また、本実施の形態によれば、データ配線Djの数を、実施の形態1における1bitメモリ構成と同じにできるので、必要な配線数を減らし、その分、TFTを配置したり、開口率を上げることができる。

【0190】なお、本実施の形態においても、上記説明では有機EL素子とメモリ素子とが1対2の割合で対応する場合を例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、本実施の形態において、有機EL素子とメモリ素子とが1:3以上の割合で対応する場合には、例えば、図8に示す、TFT97およびインバータ91、92を組み合わせたものを、対応するメモリ素子の数に対応する数だけ用意し、図9で示した読み出し動作を行うに際し、各メモリ素子のビット制御配線EiBxの選択時間幅をビットの重みに合わせて1:2:4:…と設定すればよいことは言うまでもない。

【0191】〔実施の形態5〕本発明の他の実施の形態について、図10および図11に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1ないし4における構成要素と同一の機能を有する構成要素については、同一の符号を付記し、その説明を省略する。本実施の形態では、主に、前記実施の形態1ないし4との相違点、特に、前記実施の形態4との相違点について説明するものとする。

【0192】前記実施の形態1ないし4では、カラム側配線Cjに選択信号を供給する手段としてアドレスデコーダ回路を用いた場合を例に挙げて説明した。

【0193】しかしながら、本発明はこれに限定されるものではなく、アドレスデコーダ回路を用いずにカラム側配線Cjに選択信号を供給することも可能であり、例えば、前記カラムデコーダ31に代えて、RAMを用いて表示基板を構成することも可能である。

【0194】そこで、本実施の形態では、図11に示すメモリセルアレイ構造を有するRAM（メモリセルアレイ）を用いてカラム側配線Cjに選択信号を供給する方法について説明する。

【0195】図10は、本実施の形態にかかる表示装置のシステム構成図であり、該表示装置が有する表示基板100の回路構成を示している。

【0196】図10に示す表示基板100は、前記実施の形態4に示す表示基板90において、カラム側配線Cjの駆動に、アドレス・データバッファ103に接続されたアドレス信号線104に接続されたRAM101（メモリセルアレイ）を用いると共に、ロウ側配線Gi

の駆動に、上記アドレス信号線104とは非同期式の信号線107およびビット制御配線EiBx（つまり、ビット制御配線EiB1、EiB2）を制御するコントローラ102（コントロール回路；第2のアドレスデコーダ回路）を用いた構成を有している。

【0197】すなわち、本実施の形態にかかる表示装置に用いられる上記表示基板100は、図8に示す表示基板90において、アドレスバッファ33、データバッファ34、カラムデコーダ31、コントローラ99に代えて、アドレス・データバッファ103、RAM101、コントローラ102を備えた構成を有している。

【0198】これにより、本実施の形態では、上記コントローラ102によって選択信号が供給（つまり、選択出力が導出）されて、上記画素Aijに対応するロウ側配線Giの信号が選択状態にあり、コントローラ102が予め設定された選択レベルの電位を印加している間（選択期間）に、上記画素Aijに対応するカラム側配線Cjが選択状態にあり、RAM101からデータ配線Djにデータ信号が供給されていれば、メモリ素子95、96の内容（状態）を、データ配線Djから供給されるデータに書き換えることができる。

【0199】つまり、本実施の形態にかかる表示装置では、例えば該表示装置に設けられた図示しないCPU（中央処理ユニット）から表示すべきデータを上記表示基板100上のRAM101に記録し、このRAM101内のデータを、コントローラ102の指示によって定期的に読み出し、各画素Aij内に形成されるメモリ素子95、96に記録する。そして、このメモリ素子95、96に記録されているデータにしたがって電気光学素子に電圧が与えられることで、各画素Aij毎に記憶保持動作が行われる。なお、このRAM101内のデータの読み出しは、アドレス信号線104のロウ側アドレスを参照しながら出力してもよい。

【0200】また、本実施の形態においても、上記メモリ素子95、96は、選択期間以外の非選択期間中はデータ配線Djから切り離されるが、インバータ91～94により、選択期間中に書き込まれた値は保持されている。

【0201】なお、このようにアドレスデコーダ回路を用いずにカラム側配線Cjに選択信号を供給するに際し、RAM101、つまり、表示部外（画面表示領域外）のメモリセルアレイから1ライン分のデータ（画素に表示すべきデータ）を画素Aijのメモリ素子95、96に転送する場合、上記RAM101自体が、アドレス信号線とデータ信号線とを有し、このアドレス信号線の一部とカラム側配線との間に第1のアドレスデコーダ回路を有すると共にこのアドレス信号線の他の一部とロウ側配線との間に第2のアドレスデコーダ回路を有し、カラム側配線とロウ側配線との交差部にメモリセルを有し、各メモリセル毎に、第1および第2のスイッチ素子

とメモリ素子とを備えたメモリセル構造を有していることが好ましい。

【0202】そこで、以下に、上記構成を有する、表示部外メモリとしての本実施の形態にかかるRAM101（メモリセルアレイ）の構成の詳細について図11に基づいて説明する。図11は、本実施の形態にかかる表示基板100における、RAM101のシステム構成図である。

【0203】つまり、本実施の形態にかかる表示装置における表示基板100は、表示部にメモリ（メモリ機能）を有すると共に、表示部外にも、上記メモリセルアレイ（メモリ）によるメモリ機能を有する、メモリー一体型の表示基板を有する表示装置である。

【0204】本実施の形態にかかる上記RAM101は、図11に示すように、互いに平行に配された複数のカラム側配線 $C_j'$ （ $j=1, 2, 3 \dots n$ ;  $n$ は正の整数を示す; 第4の配線）と、上記各カラム側配線 $C_j'$ とそれぞれ略直交（交差）するように配された複数のロウ側配線 $G_i'$ （ $i=1, 2, 3 \dots m$ ;  $m$ は正の整数を示す; 第5の配線）と、上記各ロウ側配線 $G_i'$ とそれぞれ略直交（交差）するように配された、データ配線 $D_j B 1'$ 、 $D_j B 2'$ （以下、総称するときはデータ配線 $D_j B x'$ （ $j=1, 2, 3 \dots n, x=1, 2$ ;  $n$ は正の整数を示す）と記す場合もある）からなる複数のデータ配線 $D_j'$ （第6の配線）とを有し、ロウ側配線 $G_i'$ とカラム側配線 $C_j'$ との交差部（本実施の形態では、ロウ側配線 $G_i'$ とデータ配線 $D_j B 1'$ 、 $D_j B 2'$ （データ配線 $D_j B x'$ ）の交差部でもある）にそれぞれメモリセル $M_{ij}$ （ $i=1, 2, 3, \dots, m, j=1, 2, 3, \dots, n$ ）が配置され、各メモリセル $M_{ij}$ 毎に、上記カラム側配線 $C_j'$ またはロウ側配線 $G_i'$ によって制御されるTFT113～116と、表示部外（画像表示領域外）における画像メモリとしてのメモリ素子111、112（第2のメモリ素子）とが配された構成を有している。

【0205】上記メモリ素子111、112は、表示部（画像表示領域）における画素メモリとしての、図10に示すメモリ素子95、96（第1のメモリ素子）に転送する、画素に表示すべきデータを記憶するためのメモリ素子であり、該メモリ素子111、112としては、例えば揮発性のコンデンサが用いられる。

【0206】上記メモリセル $M_{ij}$ を構成するTFT113～116は、TFT113（第5のスイッチ素子）とTFT114（第4のスイッチ素子）とが上記メモリ素子111と対応し、TFT115（第5のスイッチ素子）とTFT116（第4のスイッチ素子）とがメモリ素子112と対応している。

【0207】上記TFT113、115は、ソース電極がデータ配線 $D_j B 1'$ 、 $D_j B 2'$ に接続され、ゲート電極がロウ側配線 $G_i'$ に接続されている。また、こ

のTFT113、115のドレイン電極は、ゲート電極がカラム側配線 $C_j'$ と接続されているTFT114、116と接続されている。これらTFT114、116は、ソース電極が上記TFT113、115と接続され、ドレイン電極が、メモリ素子111、112と接続されている。

【0208】さらに、上記データ配線 $D_j B 1'$ 、 $D_j B 2'$ は、ゲート電極がカラム側配線 $C_j'$ と接続されているTFT117、118（第4のスイッチ素子と同様に機能する第8のスイッチ素子）と接続されている。これらTFT117、118のソース電極は、データバッファ134に接続されたデータ信号線135、136と接続され、ドレイン電極は、上記データ配線 $D_j B 1'$ 、 $D_j B 2'$ に接続されている。上記各データ配線 $D_j B 1'$ 、 $D_j B 2'$ には、データバッファ134からデータ信号線135、136を介して、上記各メモリ素子111、112を制御するためのデータ信号が入力されるようになっており、その導通/遮断、つまり、導通・非導通の状態が制御されることで、不要なデータ配線 $D_j B 1'$ 、 $D_j B 2'$ をチャージアップしないようになっている。

【0209】つまり、上記TFT113、114、115、116は、前記実施の形態3において図6に示すTFT77、78、79、80に相当、つまり、同様の構成を有し、これらTFT77、78、79、80と同様に機能する。また、上記TFT117、118は、前記実施の形態3において図6に示すTFT81、82に相当し、これらTFT81、82と同様に機能する。

【0210】したがって、上記RAM101においても、上記データ配線 $D_j B 1'$ と、TFT113と、TFT114と、メモリ素子111とは、直列に接続された構成を有し、カラム側配線 $C_j'$ とロウ側配線 $G_i'$ とが共に選択状態である場合のみ、上記TFT113、114が導通してカラム側配線 $C_j'$ とメモリ素子111との間が導通状態となる。

【0211】また、上記データ配線 $D_j B 2'$ と、TFT115と、TFT116と、メモリ素子112とは、直列に接続された構成を有し、カラム側配線 $C_j'$ とロウ側配線 $G_i'$ とが共に選択状態である場合のみ、上記TFT115、116が導通してカラム側配線 $C_j'$ とメモリ素子112との間が導通状態となる。

【0212】したがって、本実施の形態においても、メモリセル $M_{ij}$ のデータ、すなわち、メモリセル $M_{ij}$ におけるメモリ素子111、112のデータ更新時に、選択メモリセルである書き換え対象のメモリセル $M_{ij}$ とロウ側配線 $G_i'$ を共有する、書き換え対象外（非選択）のメモリセル $M_{ik}$ （ $j \neq k$ ）では、カラム側配線 $C_j'$ が非選択状態なので、メモリセル $M_{ik}$ を構成するTFT113～116は非導通状態となり、メモリ素子111、112の出力がデータ配線 $D_k B x'$ （ $k=$

1, 2, 3, ..., n;  $j \neq k$ ,  $x = 1, 2$ ;  $k$ は正の整数を示す)へ出力されない。

【0213】このように本実施の形態によれば、図1.1に示すようなメモリセルアレイでも、メモリセル $M_{ij}$ のデータを書き換える際に、選択メモリセルであるメモリセル $M_{ij}$ とロウ側配線 $G_i'$ を共有する、非選択のメモリセル $M_{ik}$  ( $j \neq k$ )のメモリ素子111, 112と、メモリセル $M_{ik}$ のデータ配線 $D_{k Bx'}$ とを非導通状態とすることができ、非選択のメモリセル $M_{ik}$ のデータ配線 $D_k$  (データ配線 $D_{k Bx'}$ )がチャージアップまたはチャージダウンされることがなく、その分、消費電力を削減することができる。

【0214】また、上記メモリ素子111, 112は、ゲート電極が、カラム側配線 $C_j'$ と略直交(交差)する方向に設けられたビット制御配線 $E_{i B1'}$ ,  $E_{i B2'}$  (以下、総称するときはビット制御配線 $E_{i Bx'}$  ( $i = 1, 2, 3 \dots m$ ,  $x = 1, 2$ ;  $m$ は正の整数を示す)と記す場合もある; 第7の配線)に接続され、これらビット制御配線 $E_{i Bx'}$ により制御されるTFT119, 120 (第7のスイッチ素子)に接続されている。

【0215】上記TFT119は上記メモリ素子111に対応し、TFT120はメモリ素子112に対応して設けられ、上記TFT119のソース電極は上記メモリ素子111に、TFT120のソース電極は上記メモリ素子112に接続されている。また、上記TFT119, 120ドレイン電極は、ロウ側配線 $G_i'$ と略直交(交差)するように配された配線 $H_j$  ( $j = 1, 2, 3, \dots, n$ ;  $n$ は正の整数を示す(第8の配線))にそれぞれ接続されている。なお、この配線 $H_j$ は、バッファ128を介して、図10に示す表示基板100に設けられたTFT40のソース電極に接続されている。

【0216】また、本実施の形態にかかる上記RAM101は、データを記録する上記メモリ素子111, 112の他に、変移データを記録することで、各メモリセル $M_{ij}$ のデータの読み書き、つまり、上記メモリ素子111, 112におけるデータの読み書きと同期して状態が書き換えられるメモリ素子121 (第3のメモリ素子)を有している。該メモリ素子121としては、例えばコンデンサが用いられる。

【0217】上記メモリ素子121は、ゲート電極が、カラム側配線 $C_j'$ と略直交(交差)する方向に設けられた変移データ制御配線 $E_{i F}$  ( $i = 1, 2, 3, \dots, m$  (第7の配線))と接続され、該変移データ制御配線 $E_{i F}$ により制御されるTFT124 (第7のスイッチ素子)のソース電極に接続されると共に、ゲート電極がカラム側配線 $C_j'$ に接続されたTFT122 (スイッチ素子)のドレイン電極に接続されている。

【0218】また、上記TFT122は、そのソース電極が、ゲート電極がロウ側配線 $G_i'$ に接続されたTFT

T123 (スイッチ素子)のドレイン電極に接続されている。

【0219】一方、上記TFT123のソース電極は、変移データ配線 $D_{j F}$  ( $j = 1, 2, 3, \dots, n$ ;  $n$ は正の整数を示す; 第8の配線)と接続されている。

【0220】また、上記TFT124 (スイッチ素子)のソース電極は上記メモリ素子121に接続され、ドレイン電極は、ロウ側配線 $G_i'$ と略直交(交差)するように配された配線 $F_j$  ( $j = 1, 2, 3, \dots, n$ ;  $n$ は正の整数を示す)に接続されている。なお、この配線 $F_j$ は、バッファ128を介して、図10に示す表示基板100に設けられたカラム側配線 $C_j$  (第1の配線)に接続されている。

【0221】これにより、上記RAM101においては、ロウ側配線 $G_i'$ とカラム側配線 $C_j'$ とが選択され、メモリセル $M_{ij}$ のメモリ素子111, 112へデータが書き込まれる際、同じロウ側配線 $G_i'$ とカラム側配線 $C_j'$ とに接続されたTFT122とTFT123とにより、メモリ素子121へ変移データ配線 $D_{j F}$ のデータが書き込まれる。なお、この変移データ配線 $D_{j F}$ は、常時「データが書き換えられた」状態を示す電位としておく。

【0222】また、このRAM101においては、コンデンサ、つまり、メモリ素子111, 112, 121のデータを破壊的に読み出すことで、メモリセル $M_{ij}$ からデータを読み出した後、メモリ素子121のデータを「データが書き換えられていない」状態へ戻すものとする。

【0223】これにより、本実施の形態にかかる表示基板100においては、カラム側配線 $C_j$ に選択信号を供給するに際し、アドレスデコード回路を用いない構成において、表示部外(画面表示領域外)のメモリセル $M_{ij}$ から1ライン分のデータ(画素に表示すべきデータ)を画素 $A_{ij}$ のメモリ素子95, 96に転送させるに際し、どの画素を書き換えるべきかを知ることができる。

【0224】つまり、表示部におけるカラム側配線 $C_j$ とロウ側配線 $G_i$ とに選択信号を供給する手段としては、前記したように、アドレスデコード回路を用いる構成と、アドレスデコード回路を用いない構成とがある。

【0225】すなわち、図示しないCPU等から、アドレス信号とデータ信号と書き込み命令とを受け取れば、そのアドレス信号に対応する画素 $A_{ij}$ のメモリ状態が変化したものと考え、そのアドレス信号に対応する画素 $A_{ij}$ のメモリ状態は書き換えてよい。

【0226】しかしながら、画素に配置したメモリ(本実施の形態ではメモリ素子95, 96)を書き換えるには、データ配線(データ配線 $D_j$ )の浮遊容量の問題でデータ転送速度が追いつかないなどの問題があるので、表示部外のメモリを用い、ある程度データをまとめて、画素メモリ(本実施の形態ではメモリ素子95, 96)

へ転送させる構成をとる方がよい。また、表示部外のメモリの方が大きさも小さいので、浮遊容量が少なく、頻繁に書き換えても消費電力のロスが少ないのでよい。

【0227】本実施の形態によれば、上記RAM101が、画素Aijに表示すべきデータを記憶するメモリ素子111, 112に加えて、該メモリ素子111, 112におけるデータの読み書きと同期して状態が書き換えられるメモリ素子121を有していることで、画素Aijに表示すべきデータと共に、画素メモリ（本実施の形態においてはメモリ素子95, 96）を書き換えるか否かを示すデータを、画素Aijのカラム側配線Cjに転送することができる。このため、どの画素を書き換えるべきであるかを知ることができる。

【0228】特に、本実施の形態に示すように画素メモリの他に画像メモリを持った表示基板では、この画像メモリを図示しないCPU等からのアドレスとデータと書き込み命令で書き込むので、どの画素に対応したデータが書き換えられたかを示す変移データを表示データと共に画像メモリに蓄えることができる。また、画像メモリからデータを読み出した後で、その画素に対応する変移データを「データが書き換えられていない」状態へ戻すことができる。

【0229】従って、この画像メモリからデータを読み込んで、そのデータを画素メモリへ転送する際、この変移データが「データが書き換えられていない」ことを示す画素では、カラム側（データ側）配線へ表示データを出力しなければよい。

【0230】つまり、例えば、上記メモリ素子111, 112が、図示しない外部のCPUなどにより書き換えられたかを知るために、上記メモリ素子111, 112に外部からデータ信号が入力されると、上記メモリ素子121に、上記メモリ素子111, 112に外部からデータ信号が入力されたという事実を、「変化あり」データとして記録し、上記メモリ素子121に、この「変化あり」データが記録されているときにのみ、上記メモリ素子111, 112にに入力されたデータ信号を、データ配線DjBx（データ配線Dj）に転送することで、「変化なし」に対応するデータ配線DjBx（データ配線Dj）、つまり、上記メモリ素子111, 112に外部からデータ信号が入力されたことを示すデータ（「変化あり」データ）が記録されていないメモリ素子121に対応するデータ配線DjBx（データ配線Dj）にデータを転送する必要がないので、その分、低消費電力化を図ることができる。

【0231】このように、画素外にRAM（本実施の形態においてはRAM101）を有する構成でも、カラム側（データ側）の配線、本実施の形態においては例えば上記データ配線Djに、不必要な表示データを出力しないことで、低消費電力化を図ることができる。

【0232】上記した構成は、実施の形態の1～5に示

したメモリー一体型表示装置だけでなく、前記従来のメモリー一体型表示装置にも適用することができ、前記従来のメモリー一体型表示装置に適用した場合にも同様に低消費電力化効果を得ることができる。

【0233】なお、この場合でも、前記したように、TFT113～116を用いて、カラム側配線Cj'とメモリ素子111, 112との間がオープン状態となるようにすれば、メモリ素子111, 112からの出力によりデータ配線DjB1', DjB2'のチャージアップが避けられるので、該RAM101、並びに、該RAM101を搭載した表示基板100の低消費電力化が実現できる。

【0234】なお、本実施の形態においては、上記各データは、前記したように、それぞれ、対応する配線Hj, Fj、バッファ128、並びに、第6のスイッチング素子であるTFT40を介して、表示部のデータ配線Dj、カラム側配線Cjに転送される。

【0235】以下に、画素Aijのメモリ素子95, 96のデータを更新する場合の動作について、画素A11のメモリ素子95, 96のデータを更新する場合を例に挙げて説明する。

【0236】図10に示すように、アドレス・データバッファ103により増幅されたアドレス信号は、アドレス信号線104を介してRAM101にデータ書き込み用アドレスとして入力される。

【0237】上記RAM101には別にコントローラ102からの制御信号が信号線107を介してデータ読み出し用アドレスとして入力される。上記RAM101からデータ配線D1に出力された1bit目のデータ信号は、TFT40、画素A11のTFT46, 47, 97を経て、該画素A11のメモリ素子95に入力され、ここで保持される一方、さらにTFT98を介して2bit目のデータがメモリ素子96に入力されて保持される。

【0238】上記TFT40, 46はRAM101からカラム側配線C1に出力された制御信号によってON/OFF制御され、TFT97, 98は、コントローラ102から出力されるビット制御配線E1B1, E1B2によってそれぞれON/OFF制御されている。

【0239】また、画素A11には、電源35から電力が供給されるようになっている。すなわち、電源35からの電気信号は、画素A11のTFT48を介して有機EL素子49に入力される。このTFT48は、メモリ素子95, 96から出力されたデータ信号によってON/OFFが制御されている。なお、他の画素Aijにおいても同様の駆動制御が行われる。

【0240】次に、メモリセルMijのメモリ素子111, 112のデータを更新する場合の動作について、メモリセルM11のメモリ素子111, 112のデータを更新する場合を例に挙げて説明する。

【0241】アドレスバッファ130により増幅されたデータ書き込み用アドレス信号はアドレス信号線131, 132を介してカラムデコード126に入力される一方、アドレス信号線131, 133を介してロウデコード127に入力される。また、ロウリーダ129には、信号線107を介して制御信号がデータ読み出し用アドレス信号として入力される。

【0242】また、データバッファ134により増幅されたデータ信号は、データ信号線135~137を介してメモリセルM11に入力される。メモリセルM11に入力されたデータ信号は、メモリ素子111, 112, 121に蓄積される。

【0243】すなわち、メモリ素子111には、データ信号線135からの1bit目のデータ信号がTFT117, 113, 114を介して電荷として蓄積される。

【0244】メモリ素子112には、データ信号線136からの2bit目のデータ信号が、TFT118, 115, 116を介して電荷として蓄積される。

【0245】メモリ素子121には、データ信号線137からの変化を示すデータ信号がTFT125, 123, 122を介して電荷として蓄積される。

【0246】上記TFT117はカラムデコード126からカラム側配線C1'に出力される制御信号によってON/OFFが制御される。なお、このカラム側配線C1'に出力された制御信号は上記TFT114, 116, 122, 117, 118, 125のON/OFFを制御するようになっている。

【0247】上記メモリ素子111に蓄積された電荷は、TFT119を介してバッファ128に接続された配線H1に出力される。このTFT119は、ロウリーダ129からビット制御配線E1B1'に出力される制御信号によってON/OFFされる。

【0248】上記メモリ素子112に蓄積された電荷は、TFT120を介してバッファ128に接続された配線H1に出力される。このTFT120は、ロウリーダ129からビット制御配線E1B2'に出力される制御信号によってON/OFFが制御される。

【0249】上記メモリ素子121に蓄積された電荷は、TFT124を介してバッファ128に接続された配線F1に出力される。このTFT124はロウリーダ129から変移データ制御配線E1Fに出力される制御信号によりON/OFFが制御される。

【0250】次に、上記メモリセルMijのメモリ素子111, 112, 121の読み書きのタイミングを制御する上記各配線のタイミングを図12に示す。

【0251】図12は、上記RAM101におけるデータ配線DjBx'、ロウ側配線Gi'、カラム側配線Cj'、ビット制御配線EiB1', EiB2'、変移データ制御配線EiF、配線Hj, Fjの波形図であり、電圧VSを選択状態、電圧V0を非選択状態の電圧とす

る。

【0252】上記メモリセルMij、つまり、メモリセルMijにおけるメモリ素子111, 112, 121は、図12に示すように、ロウ側配線Gi'の電位とカラム側配線Cj'の電位とが共に選択状態VSである時間t1の期間に書き込まれる。また、メモリセルMijは、ビット制御配線EiBx'や変移データ制御配線EiFの電位が選択状態VSとなる時間t2の期間に読み出される。

【0253】なお、本実施の形態では、上記メモリセルMijのメモリ素子111, 112, 121を揮発性のコンデンサ（揮発性メモリ）で構成していることから、メモリセルMijからデータを一度読み出すと、上記メモリ素子111, 112, 121は、「データが書き換えられていない」状態を示すGND電位となる。

【0254】本実施の形態では、このように構成したRAM101を、該RAM101における配線Hjをバッファ128を通して表示基板100におけるTFT40のソース電極へ繋ぎ、配線Fjをバッファ128を通して上記TFT40, 46のゲート電極に繋ぐ。

【0255】このように構成すると、画素Aijに表示すべきデータと共に、画素メモリ（本実施の形態においてはメモリ素子95, 96）を書き換えるか否かを示すデータ（変移データ）を、画素Aijのデータ配線Dj、カラム側配線Cjに転送することができる。このため、RAM101のメモリセルMijのうち、書き換えられたメモリセルMijに対応する画素Aijを書き換えるときのみ、該画素Aijのカラム側配線Cjが選択状態となるので、書き換える必要のない画素Aikに対応するデータ配線Dkはチャージアップまたはチャージダウンされることがなく、その分、消費電力を削減することができる。

【0256】また、図12において、ビット制御配線EiB1', EiB2'の波形図に示す、画素メモリ（この場合はメモリ素子111, 112）へデータを書き込むための時間（選択状態の時間）を、ロウ側配線Gi'およびカラム側配線Cj'の波形図に示す1アドレス期間（選択状態の時間）より長く取ることができる。

【0257】これにより、上記メモリセルMijでのメモリ書き込み時間が図12のt1からt2に延び、メモリ書き込み時間を充分長くとることができる。このため、上記メモリセルMijの各制御信号を低周波化することができるので、その分、消費電力を削減することができる。したがって、上記RAM101を上記表示基板100に搭載することで、上記RAM101を用いた表示基板100を備えた表示装置の消費電力を低減することができる。

【0258】また、本実施の形態では、上記RAM101のメモリ素子111, 112, 121として、揮発性のメモリを用いている。このため、本実施の形態にかか

る表示基板100は、その表示部外に、揮発性メモリをもった構成を有している。

【0259】これは、本実施の形態では、ビット制御配線EiBx'や変移データ制御配線EiFを周期的に選択状態(VS)とし、このRAM101の各メモリセルMijのメモリ素子111, 112に蓄えられたデータを、SRAMからなる、図10に示す表示基板100における各画素Aijのメモリ素子95, 96へ転送するため、上記RAM101におけるメモリ素子111, 112は、スタティックメモリ構成を持った不揮発性メモリである必要がないためである。

【0260】このようにRAM101のメモリ素子として揮発性メモリを使用することで、前記実施の形態1において図2に示すスタティックメモリ回路が、図11において、メモリ素子11, 112, 121の構成として示すようにコンデンサ一個で済み、回路規模を小さくすることができる。

【0261】なお、本実施の形態では、上記RAM101から周期的にデータを読み出す周期(メモリセルMijを読み出してから、同じメモリセルMijを再度読み出す迄の周期)をTRとし、RAM101の各メモリ素子111, 112, 121のデータ保持時間をTHとすると、 $TR < TH$ と設定している。

【0262】また、上記RAM101の各メモリ素子111, 112, 121、特に変移データを記録するメモリ素子121は、充分長い時間が経った後では、「データが書き換えられていない」状態を示すGND電位となる。

【0263】このように制御することで、上記RAM101として、DRAM(ダイナミック・ランダム・アクセス・メモリ)構成を有する図11に示すRAM101を使うことができる。一般に、同一容量のSRAMの方がDRAMより回路サイズが大きくなることで判るように、本実施の形態によれば図11に示すRAM101として、SRAMではなくDRAMを用いることが可能となるので、必要な回路規模が小さくすることができる。

【0264】本実施の形態では、上記したように、表示部外に有する揮発性メモリ(上記メモリ素子111, 112, 121)のデータ保持時間を、1画面分のデータを表示部外の揮発性メモリ(上記メモリ素子111, 112, 121)から、表示部内の不揮発性メモリ(メモリ素子95, 96)へ転送させるのに必要な時間以上に保っている。この構成において、揮発性メモリの揮発後の状態が、上記変移データが「データが書き換えられていない」状態と一致させておけば、表示部外の揮発性メモリのデータが揮発しても、表示部のメモリへ与える影響はない。

【0265】また、本実施の形態によれば、図12においてビット制御配線EiB1', EiB2'、変移データ制御配線EiF、配線Hj, Fjの波形図に示すよう

に、ロウ側配線Gi'を共有するメモリセル単位でデータを読み出すので、図10のビット制御配線EiBxがデータの書き込みに使われる頻度が減り、その影響で起こる階調エラーを最小階調レベル以下に抑え込むことが可能である。

【0266】つまり、図8または図10に示す画素メモリ構成を用いる場合、カラムデコーダ(アドレスデコード回路; 図8においてはカラムデコーダ31)を用いた場合は、図9においてビット制御配線EiB1, EiB2の波形図に示すように、ロウ側配線Giが選択状態となる度に、ビット制御配線EiBx(ビット制御配線EiB1, EiB2)が選択されてしまうので、動画像ではやや不正確な階調表示となってしまう。

【0267】すなわち、図9では、本来、ビット制御配線EiB1, EiB2の選択期間比率は1:2とならなければならないが、時間t1では、その比率は1:1となる。したがって、時間t1が発生する度に、本来表示すべき階調重み1:2からのズレが発生する。

【0268】しかしながら、図9において、時間t1で起こるズレ、すなわち階調エラーは、図12においては発生しない。また、図10に示す表示装置においても、各ロウ側配線Gi毎に時間t1が発生する頻度が(1ラインまとめて転送することで)低下するので、エラーが少なくなる。

【0269】本実施の形態によれば、上記RAM101を用いた場合、図10の電気光学素子(この場合は有機EL素子49)のロウ側配線Giの数をm本とした場合、mが64以上であれば、図12において時間t2の比率は1/64未満となり、64階調表示時において、その階調エラーを最小階調レベル以下に押さえることができる。したがって、本実施の形態では、上記カラムデコーダ31に代えてRAM101を用いることにより、上記のような問題を避けることができ、より正確な階調表示を行うことができる。

【0270】以上のように、本発明にかかるメモリー一体型表示基板は、例えば、第1の方向に配列された第1の配線と、第1の配線と交差する方向に配列された第2の配線と、上記第1または第2の配線と交差する方向に配列された第3の配線を有し、前記第1の配線と第2の配線の交差部(例えば、上記第3の配線が第2の配線と交差する場合は、第2の配線と第3の配線との交差部であってもよい)に、前記第1の配線に対応した第1のスイッチ素子と、前記第2の配線に対応した第2のスイッチ素子とが配された構成を有している。そして、上記第1の配線と第2の配線の交差部に、上記第1のスイッチ素子と第2のスイッチ素子の他に、電気光学素子とメモリ素子、またはメモリ性を持った電気光学素子が配置されている。

【0271】また、上記メモリー一体型表示基板は、上記第3の配線と上記第1のスイッチ素子と第2のスイッチ

素子と上記メモリ素子またはメモリ性を持った電気光学素子とが直列に接続された構成を有している。この場合、上記第3の配線には、第6のスイッチ素子が接続されていることが好ましい。また、上記第6のスイッチ素子の導通・非導通状態を制御する配線と、上記第1のスイッチ素子または上記第2のスイッチ素子の導通・非導通状態を制御する配線が、電気的に同期した配線であることが好ましい。

【0272】さらに、上記メモリー一体型表示基板は、電気光学素子1つに対し、上記メモリ素子が複数対応していることが好ましい。また、上記電気光学素子と上記メモリ素子の間に、第3のスイッチ素子が接続されていることが好ましい。

【0273】また、上記メモリー一体型表示基板は、アドレス信号線とデータ信号線とを有し、前記アドレス信号線の一部と上記第1の配線との間に第1のアドレスデコード回路を、前記アドレス信号線の他と上記第2の配線との間に第2のアドレスデコード回路を配置した構成を有していてもよく、上記第1の配線と第2の配線の交差部（上記第2の配線と第3の配線との交差部）に配置されたメモリ素子の他に、アドレス信号線とデータ信号線とそれらアドレス信号線とデータ信号線とに接続されたメモリセルアレイを有し、例えば、前記メモリセルアレイと第1の配線とが直接的または第6のスイッチ素子を通して間接的に接続されている構成であってもよい。

【0274】また、上記メモリセルアレイは、アドレス信号線とデータ信号線とを有し、前記アドレス信号線の一部と第4の配線との間に第1のアドレスデコード回路を、前記アドレス信号線と第5の配線との間に第2のアドレスデコード回路を配置し、前記第4の配線と第5の配線の交差部にメモリセルを配置したメモリセルアレイであって、各メモリセル毎に、各メモリセルのデータ読み書きと同期して状態が書き換えられる第3のメモリ素子（メモリ）を有している構成であってもよい。

【0275】さらに、上記メモリセルアレイは、上記第4の配線と交差する方向に第7の配線（例えばビット制御配線、変移データ制御配線）を有し、上記第5の配線と交差する方向に第8の配線（例えばロウ側配線と略直交（交差）するように配された配線、変移データ配線）を有し、上記各メモリセルと第3のメモリ素子と上記第8の配線とが、上記第7の配線により制御される第7のスイッチ素子（例えばTFT）を経由して接続されている構成であってもよい。

【0276】また、本発明の表示基板は、第1の方向に配列された第3の配線と、第3の配線と交差する方向に配列された第2の配線と、前記第2の配線と第3の配線の交差部に、前記第2の配線に対応した第2のスイッチ素子と、前記第1のスイッチ素子の他に、電気光学素子およびメモリ素子、またはメモリ性を有する電気光学素子が配置され、前記第3の配線と上記メモリセルとの間

に、前記第3のメモリ素子から読み出されたデータにより導通・非導通状態が制御される第6のスイッチが配置されている構成であってもよい。

【0277】さらに、第1の方向に配列された第3の配線と、第3の配線と交差する方向に配列された第2の配線とを有し、前記第2の配線と第3の配線との交差部に、前記第2の配線に対応した第2のスイッチ素子と、メモリ素子および電気光学素子、またはメモリ性を持った電気光学素子とが配置され、前記メモリ素子またはメモリ性を有する電気光学素子とは別にメモリセルアレイを有し、前記第3の配線と前記メモリセルアレイのメモリセルとが、直接的またはスイッチ素子を通して間接的に接続され、前記メモリ素子が不揮発性メモリであり、前記メモリセルアレイのメモリセルが揮発性メモリである構成であってもよい。

【0278】また、本発明の表示基板は、前記メモリセルのデータを定期的に前記メモリ素子へ転送する構成であってもよい。また、入力されたアドレスを参照しながら前記メモリセルのデータを前記メモリ素子へ転送する構成であってもよい。

【0279】本発明は、上記した各構成に限定されるものではなく、例えば実施の形態1～5に記載した各構成を、適宜組み合わせる用いることができる。

【0280】

【発明の効果】本発明にかかるメモリー一体型表示基板は、以上のように、1方向に配列された複数の第1の配線と、上記第1の配線のそれぞれと交差する複数の第2の配線と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられた、電気光学素子および第1のメモリ素子、またはメモリ性を有する電気光学素子と、上記各第1のメモリ素子またはメモリ性を有する電気光学素子を制御するためのデータ信号が入力される複数の第3の配線と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第1の配線の選択／非選択によって導通／非導通が制御される第1のスイッチ素子と、上記第1の配線と第2の配線との交差位置毎に少なくとも1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第2のスイッチ素子とを備え、上記第1の配線と第2の配線との交差位置毎に、上記第3の配線と、第1および第2のスイッチ素子と、第1のメモリ素子またはメモリ性を有する電気光学素子とが、直列に接続されている構成である。

【0281】それゆえ、第1の配線と第2の配線とが共に選択状態となった、第1のメモリ素子またはメモリ性を有する電気光学素子のみ、上記第3の配線と上記第1のメモリ素子またはメモリ性を有する電気光学素子との間が導通状態となる。このため、選択されていない、第1のメモリ素子またはメモリ性を有する電気光学素子では、上記第3の配線と第1のメモリ素子またはメモリ性



を有する電気光学素子との間が遮断状態（オープン状態）となり、上記第1のメモリ素子またはメモリ性を有する電気光学素子からの出力により上記第3の配線がチャージアップされることがなくなり、その分、低消費電力化することができるという効果を奏する。

【0282】本発明にかかるメモリー一体型表示基板は、以上のように、上記電気光学素子1つに対し、上記第1のメモリ素子が複数設けられ、上記第1のメモリ素子はそれぞれ、導通／非導通の切り替えが可能な第3のスイッチ素子を介して上記第1および第2のスイッチ素子と接続されている構成である。

【0283】それゆえ、第3の配線の数を増加させることなく、電気光学素子毎に多階調表示を行うことができる。このため、上記の構成によれば、必要な配線数を抑え、その分、他の構成要素を配置したり、開口率を向上させることができるという効果を奏する。

【0284】本発明にかかるメモリー一体型表示基板は、以上のように、上記1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有するメモリセルアレイが、上記第1の配線と接続されている構成である。

【0285】それゆえ、上記第1の配線を介して上記第1のスイッチ素子を制御することができる。このため、第2のメモリ素子を書き換えられた画素を書き換えるときのみ、上記第1の配線および第2の配線が選択状態となるので、書き換える必要のない画素に対応する第3の配線はチャージアップされることがなく、その分、消費電力を削減することができる。

【0286】本発明にかかるメモリー一体型表示基板は、以上のように、第1の方向に配列された複数の第1の配線または第2の配線と、上記第1の配線または第2の配線のそれぞれと交差する複数の第3の配線と、上記第1の配線または第2の配線と、第3の配線との交差位置毎に少なくとも1つずつ設けられた電気光学素子および第1のメモリ素子、またはメモリ性を有する電気光学素子と、上記第1または第2の配線と接続されたメモリセルアレイとを有し、上記メモリセルアレイは、第1の方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有し、上記第3のメモリ素子は、上記第2のメモリ素子

に外部からデータ信号が入力されると、上記第2のメモリ素子に外部からデータ信号が入力されたことを示すデータを記録し、上記第2のメモリ素子は、該第2のメモリ素子に外部からデータ信号が入力されたことを示すデータが上記第3のメモリ素子に記録されているときにのみ、該第2のメモリ素子に入力されたデータ信号を上記第3の配線に転送する構成である。

【0287】それゆえ、第3のメモリ素子に、第2のメモリ素子に外部からデータ信号が入力されたことを示すデータ（「変化あり」データ）が記録されていない画素における第3の配線に、データを転送する必要がない。このため、上記メモリー一体型表示基板もまた、書き換える必要のない画素に対応する第3の配線はチャージアップされることがなく、その分、消費電力を削減することができるという効果を奏する。

【0288】また、上記各構成によれば、画素メモリ（上記第1のメモリ素子）にデータを書き込むための時間（選択状態の時間）を、CPUから送られてくる1アドレス期間（選択状態の時間）より長く取ることができるので、メモリ書き込み時間を充分長くとることができる。このため、上記メモリセルの各制御信号を低周波化することができるので、その分、消費電力を削減することができる。したがって、消費電力を低減することができるという効果を奏する。

【0289】本発明にかかる上記メモリー一体型表示基板は、以上のように、上記第1のメモリ素子が不揮発性メモリであり、上記第2および第3のメモリ素子が揮発性メモリである構成である。

【0290】上記メモリセルアレイにおける上記第2のメモリ素子は、該第2のメモリ素子に蓄えられたデータを上記第3の配線を介して各画素の第1のメモリに転送するため、上記第2および第3のメモリ素子は、不揮発性メモリである必要はない。

【0291】それゆえ、上記の構成によれば、上記第2および第3のメモリ素子に揮発性メモリを使用することで、例えば上記第2および第3のメモリ素子を、それぞれ、例えばコンデンサ1つずつで構成することができ、回路規模を小さくすることができるという効果を奏する。

【0292】本発明にかかる表示装置は、以上のように、本発明にかかる上記メモリー一体型表示基板を備えている構成である。

【0293】上記の構成によれば、本発明にかかる表示装置が上記メモリー一体型表示基板を備えていることで、上記第1のメモリ素子またはメモリ性を有する電気光学素子からの出力により上記第3の配線がチャージアップされることがなくなる分、低消費電力化することができる。この結果、このようなメモリー一体型表示基板を備えた表示装置の低消費電力化を図ることができるという効果を奏する。

【0294】本発明にかかるメモリセルアレイは、以上のように、1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、データ信号によって制御される第2のメモリ素子と、上記第4の配線と第5の配線との交差位置毎に設けられ、上記第2のメモリ素子におけるデータの読み書きと同期して状態が書き換えられる第3のメモリ素子とを有することを特徴としている。

【0295】それゆえ、上記第2のメモリ素子に書き込まれたデータを転送するに際し、上記第2のメモリ素子に書き込まれたデータ、つまり、画素に表示すべきデータと共に、画素に表示すべきデータを書き換えるか否かを示すデータ（変移データ）を転送することができる。このため、どの画素を書き換えるべきであるかを知ることができ、書き換え対象の画素のみを書き換えることができる。このため、省電力化を図ることができるという効果を奏する。

【0296】本発明にかかるメモリセルアレイは、以上のように、1方向に配列された複数の第4の配線と、上記第4の配線のそれぞれと交差する複数の第5の配線と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられた第2のメモリ素子と、上記各第2のメモリ素子を制御するためのデータ信号が入力される複数の第6の配線と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、上記第4の配線の選択／非選択によって導通／非導通が制御される第4のスイッチ素子と、上記第4の配線と第5の配線との交差位置毎に少なくとも1つずつ設けられ、上記第2の配線の選択／非選択によって導通／非導通が制御される第5のスイッチ素子とを備え、上記第4の配線と第5の配線との交差位置毎に、上記第6の配線と、第4および第5のスイッチ素子と、第2のメモリ素子とが、直列に接続されている構成を有している。

【0297】すなわち、本発明は、前記第1および第2のスイッチ素子と1つのメモリ素子のみが対応し、電気光学素子を含まない構成にも適用可能である。つまり、本発明は、表示基板における画素メモリ構成に限らず、通常のメモリICセル構成や、表示基板上の表示部外のメモリセル構成等、メモリセルアレイに適用しても消費電力を削減することができる。

【0298】上記の構成によれば、第4の配線と第5の配線とが共に選択状態となった、第2のメモリ素子のみ、上記第4の配線と上記第2のメモリ素子との間が導通状態となる。このため、選択されていない第2のメモリ素子では、上記第4の配線と第2のメモリ素子との間が遮断状態（オープン状態）となり、上記第2のメモリ素子からの出力により上記第6の配線がチャージアップまたはチャージダウンされることがなくなり、その分、低消費電力化することができるという効果を奏する。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態にかかる表示装置の構成を示すシステム構成図である。

【図2】上記表示装置におけるメモリ素子のインバータ回路の構成図である。

【図3】上記表示素子に用いた有機EL素子の積層構造を示す概略構成図である。

【図4】(a)～(j)は、上記表示装置に用いたTFT基板の製造工程を示す図である。

【図5】本発明の他の実施の形態で用いた表示装置の構成を示すシステム構成図である。

【図6】本発明のさらに他の実施の形態で用いた表示装置の構成を示すシステム構成図である。

【図7】図6に示す表示装置における各配線の波形図である。

【図8】本発明のさらに他の実施の形態で用いた表示装置の構成を示すシステム構成図である。

【図9】図8に示す表示装置における各配線の波形図である。

【図10】本発明のさらに他の実施の形態で用いた表示装置の構成を示すシステム構成図である。

【図11】図10に示す表示装置で用いたメモルセアレイの構成を示すシステム構成図である。

【図12】図11に示すメモルセアレイにおける各配線の波形図である。

【図13】従来の表示装置の回路構成を示す回路構成図である。

【図14】従来の他の表示装置の回路構成を示す回路ブロック図である。

【図15】図14に示す画素メモリの回路構成例である。

【図16】従来の他の表示装置の構成を示すブロック図である。

【図17】図16に示す表示部における画素メモリの回路構成図である。

【図18】SRAMのメモリ構成を示す回路構成図である。

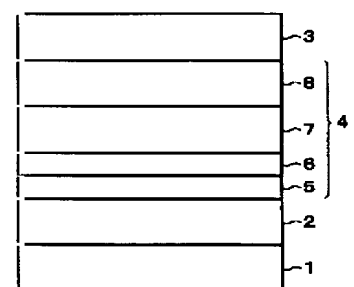
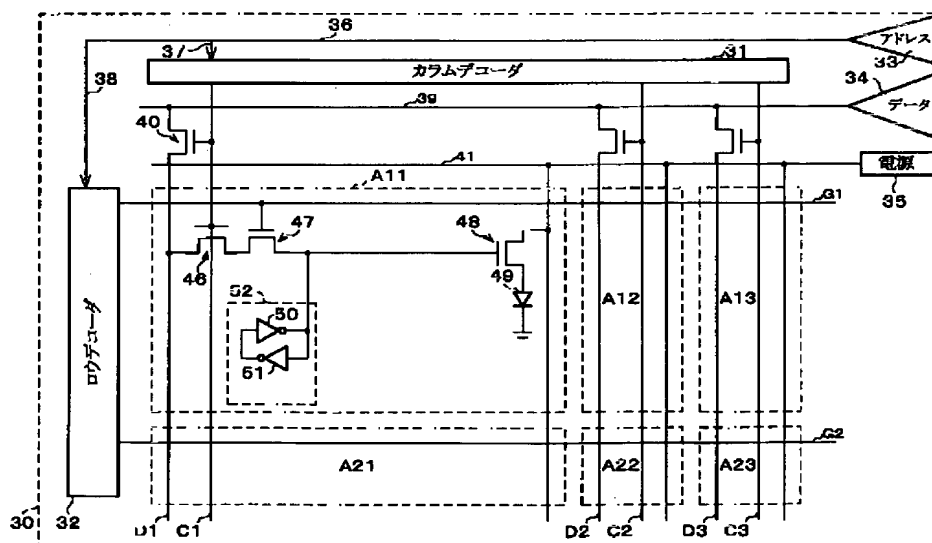
#### 【符号の説明】

30	表示基板（メモリ一体型表示基板）
31	カラムデコーダ
32	ロウデコーダ
36～38	アドレス信号線
39	データ信号線
40	TFT（第6のスイッチ素子）
46	TFT（第1のスイッチ素子）
47	TFT（第2のスイッチ素子）
48	TFT（スイッチ素子）
49	有機EL素子（電気光学素子）
52	メモリ素子（第1のメモリ素子）
53	TFT（スイッチ素子）

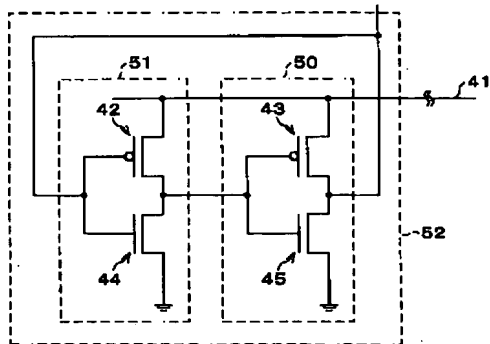
54	有機EL素子（電気光学素子）	127	ロウデコーダ
55	TFT（第6のスイッチ素子）	131～133	アドレス信号線
60	表示基板（メモリー体型表示基板）	135～137	データ信号線
70	表示基板（メモリー体型表示基板）	Aij	画素
75, 76	メモリー素子（第1のメモリー素子）	Aik	画素
77	TFT（第2のスイッチ素子）	Cj	カラム側配線（第1の配線）
78	TFT（第1のスイッチ素子）	Cj'	カラム側配線（第4の配線）
79	TFT（第2のスイッチ素子）	Ck	カラム側配線（第1の配線）
80	TFT（第1のスイッチ素子）	Di	データ配線（第3の配線）
81, 82	TFT（第6のスイッチ素子）	Dj	データ配線（第3の配線）
83, 84	データ信号線	DjB1	データ配線（第3の配線）
85, 86	TFT（スイッチ素子）	DjB1'	データ配線（第6の配線）
87	コントローラ	DjB2	データ配線（第3の配線）
90	表示基板（メモリー体型表示基板）	DjB2'	データ配線（第6の配線）
95, 96	メモリー素子（第1のメモリー素子）	DjBx	データ配線（第3の配線）
97, 98	TFT（第3のスイッチ素子）	DjBx'	データ配線（第6の配線）
99	コントローラ	DjF	変移データ配線（第8の配線）
100	表示基板（メモリー体型表示基板）	Dk	データ配線（第3の配線）
101	RAM（メモリセルアレイ）	DkBx	データ配線（第3の配線）
102	コントローラ	EiB1	ビット制御配線
104	アドレス信号線	EiB1'	ビット制御配線（第7の配線）
111, 112	メモリー素子（第2のメモリー素子）	EiB2	ビット制御配線
113	TFT（第5のスイッチ素子）	EiB2'	ビット制御配線（第7の配線）
114	TFT（第4のスイッチ素子）	EiBx	ビット制御配線
115	TFT（第5のスイッチ素子）	EiF	変移データ制御配線（第7の配線）
116	TFT（第4のスイッチ素子）	Gi	ロウ側配線（第2の配線）
117, 118	TFT（第6のスイッチ素子）	Gi'	ロウ側配線（第4の配線）
119, 120	TFT（第7のスイッチ素子）	Hj	配線（第8の配線）
121	メモリー素子（第3のメモリー素子）	Fj	配線
122～125	TFT（スイッチ素子）	Mij	メモリセル
126	カラムデコーダ	Mik	メモリセル

【図1】

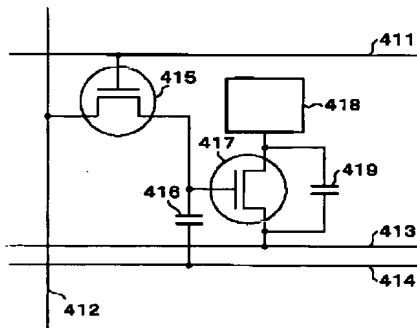
【図3】



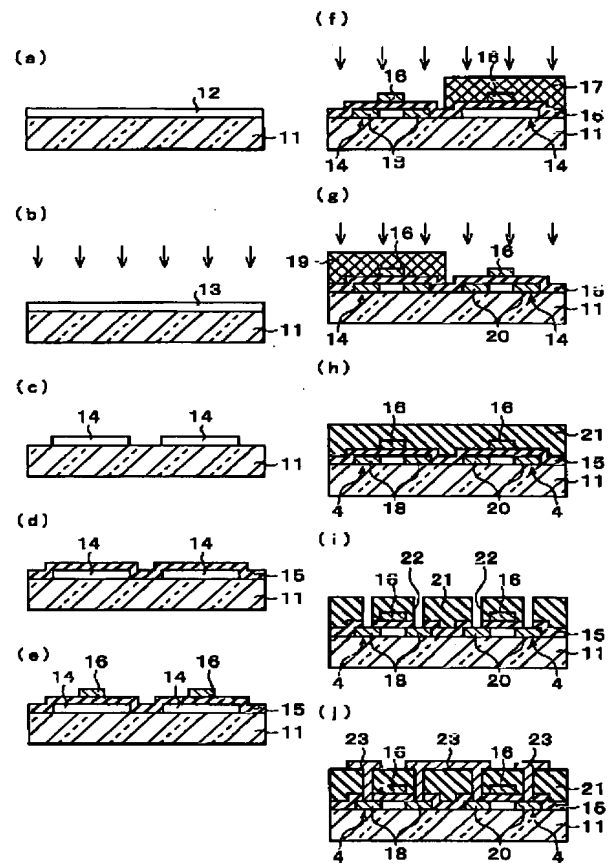
【図2】



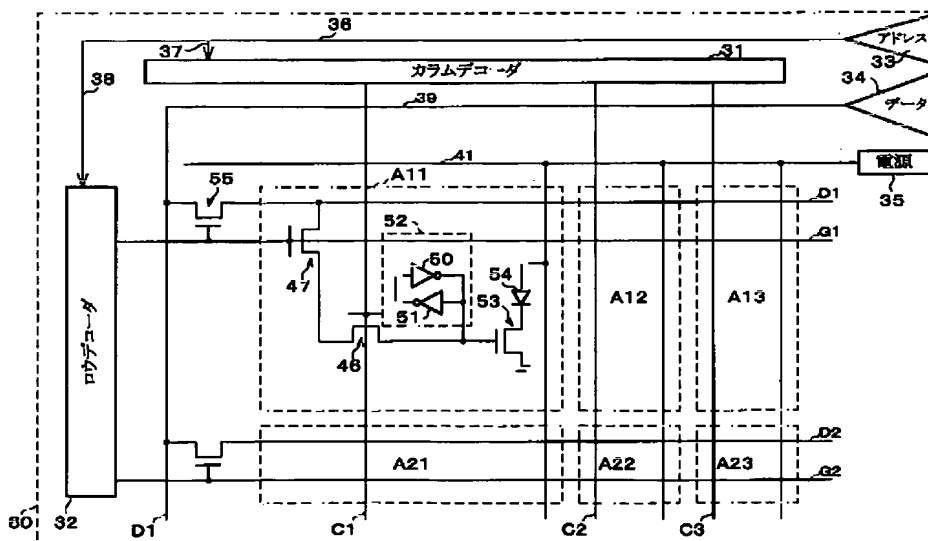
【図17】



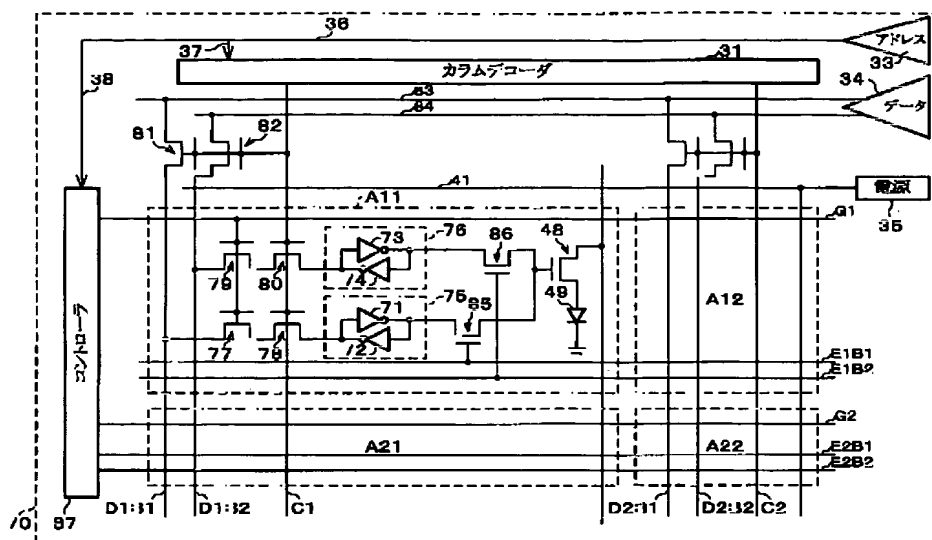
【図4】



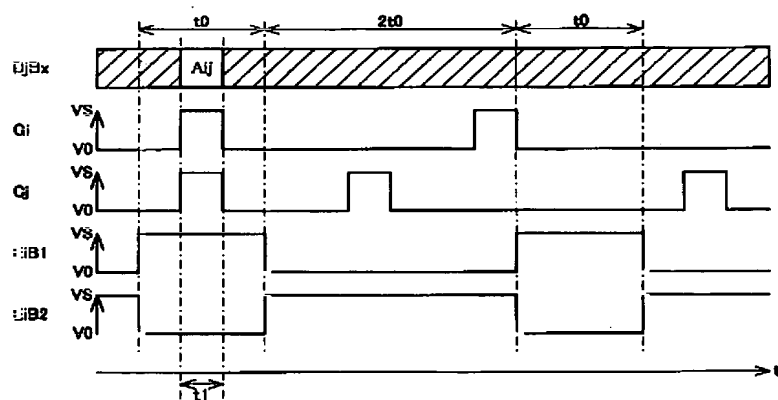
【図5】



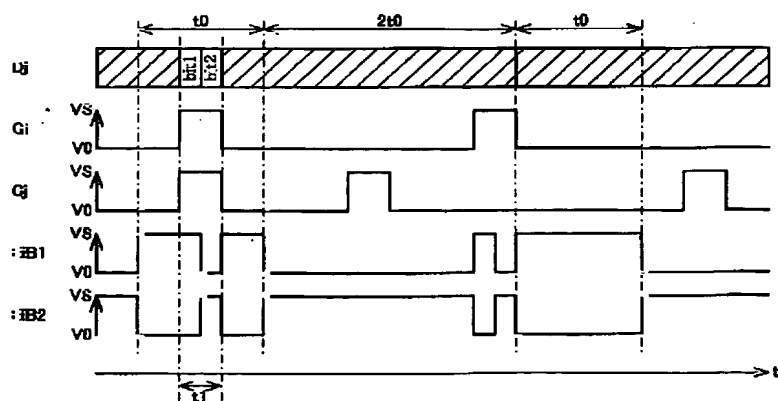
【図6】



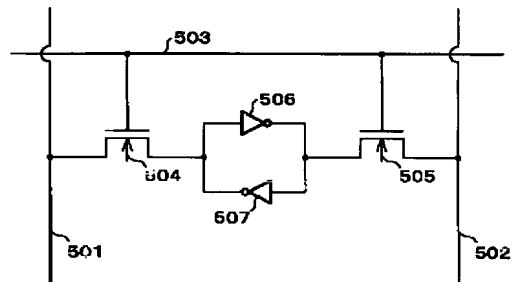
【図7】



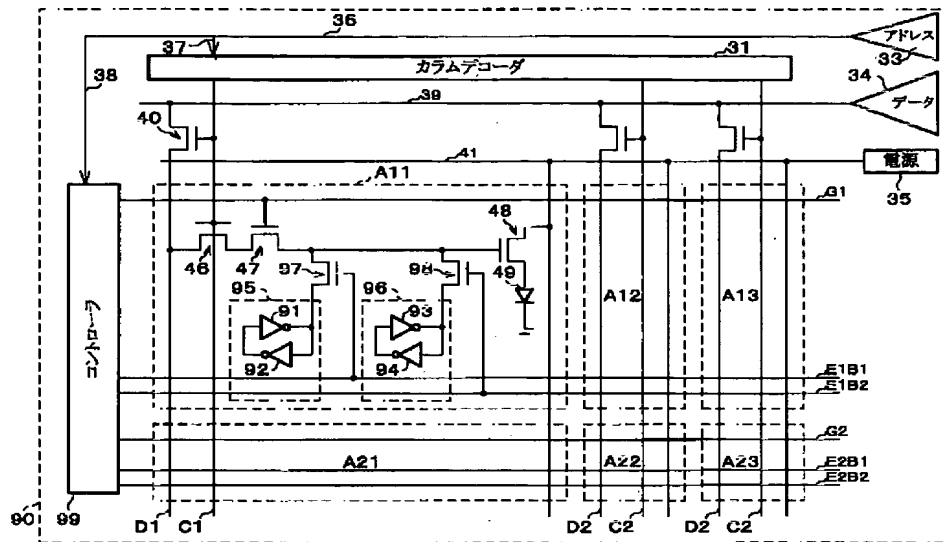
【図9】



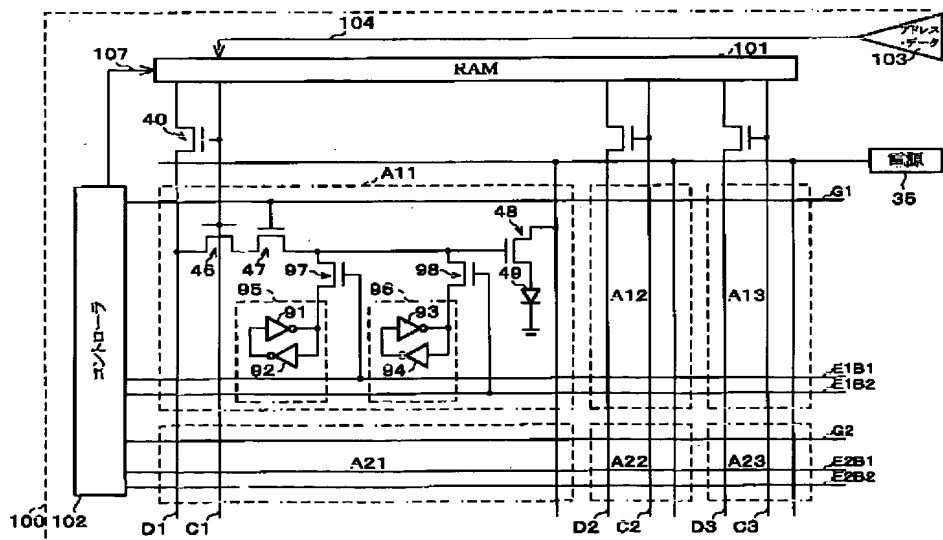
【図18】



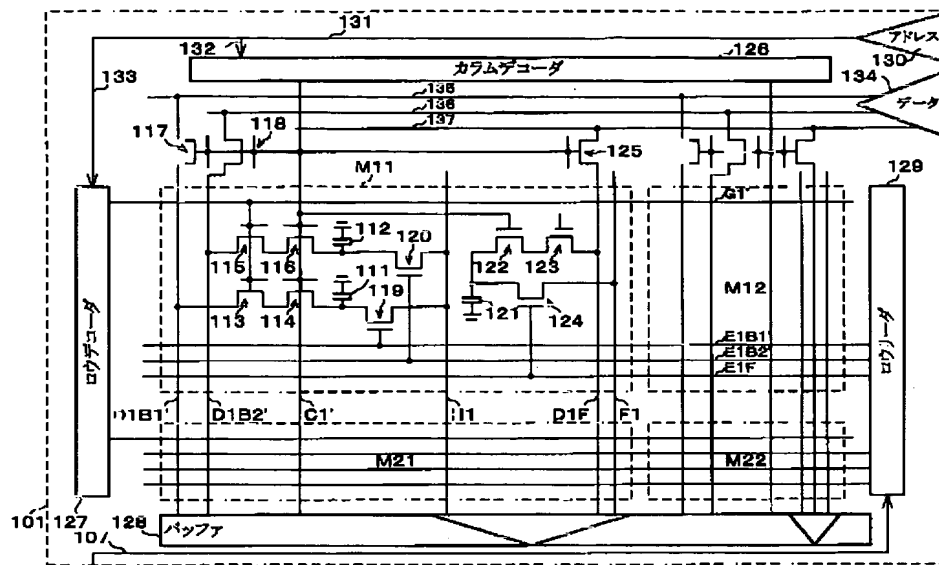
【図8】



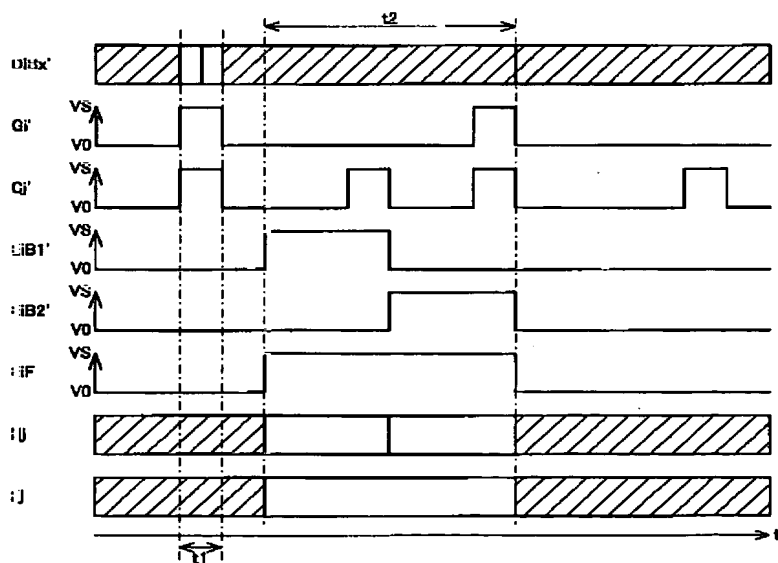
【図10】



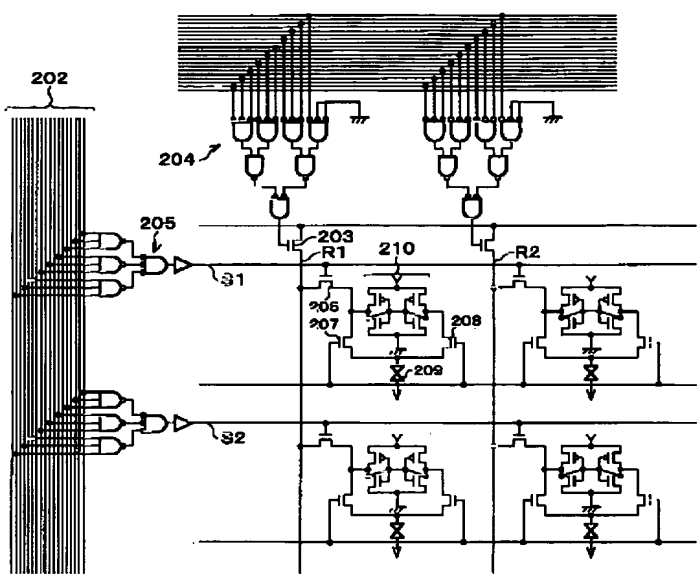
【図11】



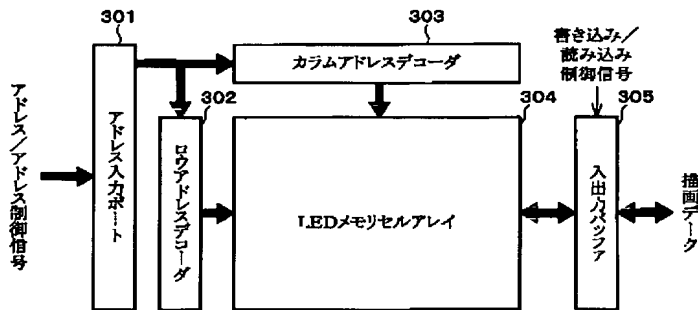
【図12】



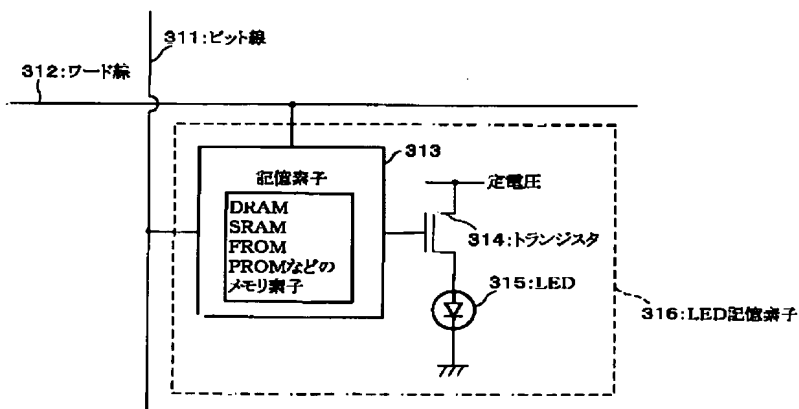
【図13】



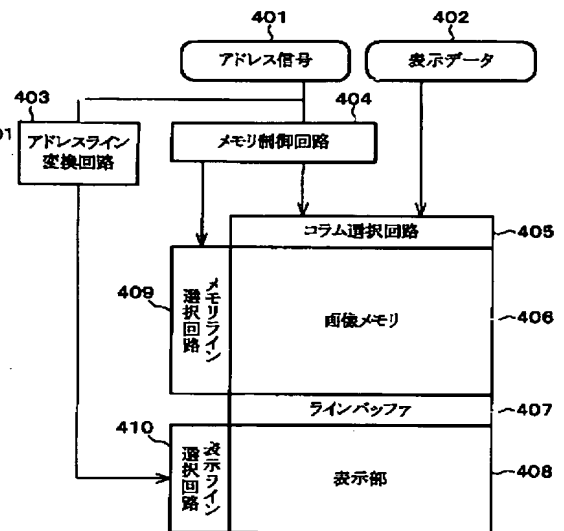
【図14】



【図15】



【図16】





フロントページの続き

Fターム(参考) 5C006 AF06 AF69 BB16 BC03 BC06  
BC12 BF01 BF27 BF33 EB05  
FA47  
5C080 AA06 AA10 DD26 DD30 JJ02  
JJ03 JJ04 JJ06  
5C094 AA22 BA03 BA09 BA27 BA49  
CA19 EA04 EA07